

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
WADA et al.)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: SEMICONDUCTOR DEVICE AND MANUFACTURING)
METHOD OF THE SAME)
ATTORNEY DOCKET NO. TSUT.0026)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

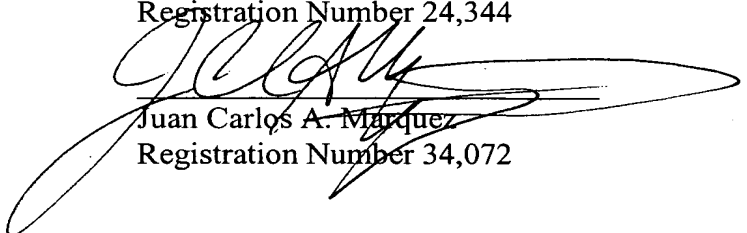
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 29, 2003, the filing date of the corresponding Japanese patent application 2003-019790.

A certified copy of Japanese patent application 2003-019790, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 29, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月29日
Date of Application:

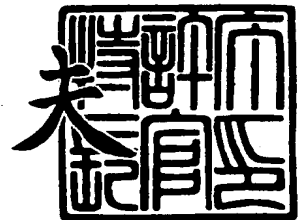
出願番号 特願2003-019790
Application Number:
[ST. 10/C]: [JP 2003-019790]

出願人 株式会社日立製作所
Applicant(s): 日立デバイスエンジニアリング株式会社

2003年11月28日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3098782

【書類名】 特許願

【整理番号】 H02017831

【提出日】 平成15年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 和田 真一郎

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 島本 裕巳

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたシリコンからなる抵抗素子と、

前記抵抗素子上に形成された第 1 および第 2 シリサイド領域と、

前記第 1 および第 2 シリサイド領域にそれぞれ電氣的に接続された第 1 および第 2 コンタクト部と、

を有し、

前記抵抗素子の端部と前記第 1 シリサイド領域の前記第 2 シリサイド領域に対向する側の端部との間の第 1 の距離が、前記抵抗素子の他方の端部と前記第 2 シリサイド領域の前記第 1 シリサイド領域に対向する側の端部との間の第 2 の距離よりも大きいことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

前記第 1 の距離と前記第 2 の距離との差は、前記第 1 シリサイド領域と前記第 2 シリサイド領域との間の最近接距離の 5 パーセント以上であることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

前記第 1 シリサイド領域が前記第 2 シリサイド領域よりも大きいことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、

前記抵抗素子の前記端部と前記第 1 シリサイド領域の前記第 2 シリサイド領域に対向する側の前記端部とは逆側の端部との間の第 3 の距離が、前記抵抗素子の前記他方の端部と前記第 2 シリサイド領域の前記第 1 シリサイド領域に対向する側の前記端部とは逆側の端部との間の第 4 の距離よりも大きいことを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、

前記第 3 の距離と前記第 4 の距離との差は、前記第 1 シリサイド領域と前記第 2 シリサイド領域との間の最近接距離の 5 パーセント以上であることを特徴とす

る半導体装置。

【請求項 6】 請求項 4 記載の半導体装置において、
前記第 1 シリサイド領域の大きさと前記第 2 シリサイド領域の大きさが同じであることを特徴とする半導体装置。

【請求項 7】 請求項 1 記載の半導体装置において、
前記抵抗素子は、ポリシリコン膜からなることを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、
前記半導体基板上に形成されたバイポーラトランジスタを更に有し、前記抵抗素子を構成する前記ポリシリコン膜は、前記バイポーラトランジスタのベース電極またはエミッタ電極を構成するポリシリコン膜と同層であることを特徴とする半導体装置。

【請求項 9】 請求項 7 記載の半導体装置において、
前記半導体基板上に形成された M I S F E T を更に有し、前記抵抗素子を構成する前記ポリシリコン膜は、前記 M I S F E T のゲート電極を構成するポリシリコン膜と同層であることを特徴とする半導体装置。

【請求項 10】 請求項 1 記載の半導体装置において、
前記抵抗素子は、前記半導体基板内に不純物を導入して形成した不純物拡散層からなることを特徴とする半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、
前記半導体基板上に形成された M I S F E T を更に有し、前記抵抗素子を構成する前記不純物拡散層は、前記 M I S F E T のソース領域およびドレイン領域を構成する不純物拡散層と同層であることを特徴とする半導体装置。

【請求項 12】 請求項 1 記載の半導体装置において、
前記第 1 シリサイド領域および前記第 2 シリサイド領域が、コバルトシリサイド層、チタンシリサイド層、タングステンシリサイド層、モリブデンシリサイド層またはタンタルシリサイド層からなることを特徴とする半導体装置。

【請求項 13】 請求項 1 記載の半導体装置において、
前記抵抗素子は、E C L 回路で用いられる抵抗素子であることを特徴とする半導体装置。

【請求項 14】 請求項 1 記載の半導体装置において、
前記抵抗素子は、デジタル・アナログ変換器で用いられる抵抗素子であることを特徴とする半導体装置。

【請求項 15】 請求項 1 記載の半導体装置において、
前記抵抗素子は、RC 発振回路で用いられる抵抗素子であることを特徴とする半導体装置。

【請求項 16】 請求項 1 記載の半導体装置において、
前記抵抗素子は、終端抵抗部を構成していることを特徴とする半導体装置。

【請求項 17】 半導体基板と、
前記半導体基板上に形成されたシリコンからなる第 1 および第 2 抵抗素子と、
前記第 1 抵抗素子上に形成された第 1 および第 2 シリサイド領域と、前記第 2 抵抗素子上に形成された第 3 および第 4 シリサイド領域と、
前記第 1、第 2、第 3 および第 4 シリサイド領域にそれぞれ電氣的に接続された第 1、第 2、第 3 および第 4 コンタクト部と、

を有し、

前記第 1 抵抗素子の端部と前記第 1 シリサイド領域の前記第 2 シリサイド領域に対向する側の端部との間の距離と、前記第 1 抵抗素子の他方の端部と前記第 2 シリサイド領域の前記第 1 シリサイド領域に対向する側の端部との間の距離との差が、前記第 2 抵抗素子の端部と前記第 3 シリサイド領域の前記第 4 シリサイド領域に対向する側の端部との間の距離と、前記第 2 抵抗素子の他方の端部と前記第 4 シリサイド領域の前記第 3 シリサイド領域に対向する側の端部との間の距離との差よりも大きいことを特徴とする半導体装置。

【請求項 18】 請求項 17 記載の半導体装置において、
前記第 1 抵抗素子の長さは、前記第 2 抵抗素子の長さと同じであることを特徴とする半導体装置。

【請求項 19】 請求項 17 記載の半導体装置において、
前記第 1 および第 2 抵抗素子は同じパターン形状のポリシリコン膜からなることを特徴とする半導体装置。

【請求項 20】 半導体基板を準備する工程と、

前記半導体基板上に、抵抗素子形成用のパターン化されたポリシリコン膜を形成する工程と、

前記ポリシリコン膜上に、シリサイド領域を形成すべき領域を露出し、シリサイド領域を形成しない領域を覆うように絶縁膜を形成する工程と、

前記半導体基板上に、前記ポリシリコン膜および前記絶縁膜を覆うように、金属膜を形成する工程と、

熱処理を行って、前記金属膜と前記ポリシリコン膜の前記金属膜と接する部分とを反応させて前記ポリシリコン膜上に第1および第2シリサイド領域を形成する工程と、

前記第1および第2シリサイド領域にそれぞれ電氣的に接続された第1および第2コンタクト部を形成する工程と、

を有し、

前記ポリシリコン膜の端部と前記第1シリサイド領域の前記第2シリサイド領域に対向する側の端部との間の距離が、前記ポリシリコン膜の他方の端部と前記第2シリサイド領域の前記第1シリサイド領域に対向する側の端部との間の距離よりも大きいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、シリコンからなる抵抗素子を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】

特開2000-307060号公報には、多結晶シリコン膜の上面に抵抗電極として高融点金属シリサイド膜を形成し、高融点金属シリサイド膜にコンタクトを通してアルミニウム配線を接続して、多結晶シリコン膜を用いた抵抗素子を形成する技術が記載されている（特許文献1参照）。

【0003】

特開2000-31295号公報には、シリサイド層を形成した動作領域およ

び電極を有するトランジスタと、接続部のみに設けられたサリサイド層を備えた抵抗素子とを有し、両サリサイド層が同一工程で形成されている半導体集積回路が記載されている（特許文献2参照）。

【0004】

【特許文献1】

特開2000-307060号公報

【0005】

【特許文献2】

特開2000-31295号公報

【0006】

【発明が解決しようとする課題】

本発明者の検討によれば、半導体装置において、抵抗素子の抵抗値は回路の性能や特性に大きな影響を与える。例えばECL（Emitter Coupled Logic）回路においては、抵抗素子の抵抗値によって波形の振幅が変わるため、動作速度に影響する。また、抵抗素子と容量素子とを使用した発振器においては、発振周波数に影響を与える。更に、終端抵抗として用いた場合、抵抗値の設計からのずれは、インピーダンスマッチング特性を劣化させる。このため、該当の回路を試作し、特性を評価した後で、抵抗素子の抵抗値を調整し、その後半導体装置の量産を行うことで、所望の特性や性能の半導体装置を製造することが可能となる。抵抗値の調整には、抵抗素子を構成するシリコン層の不純物濃度を変えることで抵抗体のシート抵抗を調整する第1の方法や、抵抗素子のレイアウトを変更する第2の方法が考えられる。

【0007】

第1の方法では、同一の半導体チップ内の全ての抵抗素子の抵抗値が変動してしまうため、特定の回路の抵抗素子の抵抗値だけを変更、調整することは困難である。

【0008】

第2の方法では、抵抗素子の抵抗体の寸法を変更する必要がある。抵抗素子の形成はトランジスタの形成と同じ工程で行われるため、その後の工程数が多く、

抵抗素子の抵抗値を変更した回路の製造に長い時間を要してしまう。また、第2の方法では、トランジスタや受動素子を予め作りこんでおき、配線層のレイアウトを変えて素子間の結線をすることで所望の回路を構成するゲートアレイ方式を採用することは困難である。また、第2の方法では、抵抗素子の抵抗値の変更には、抵抗素子を構成する抵抗体（シリコン層）のレイアウト、抵抗素子と接続するコンタクトのレイアウト、コンタクト接続する配線層のレイアウトなどを変更する必要がある、露光工程で用いられるマスク（露光用マスク）の変更枚数が多いため、製造コストの増大を招いてしまう。

【0009】

本発明の目的は、寸法を変更することなく抵抗値を調整できる抵抗素子を有する半導体装置およびその製造方法を提供することにある。

【0010】

本発明の他の目的は、製造コストを低減できる半導体装置およびその製造方法を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明の半導体装置は、シリコンからなる抵抗素子上に第1シリサイド領域と第2シリサイド領域とを形成し、抵抗素子の端部と第1シリサイド領域の第2シリサイド領域に対向する側の端部との間の距離を、抵抗素子の他方の端部と第2シリサイド領域の第1シリサイド領域に対向する側の端部との間の距離よりも大きくしたものである。

【0014】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0015】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0016】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0017】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0018】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0019】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、断面図であっても図面を見易くするためにハッチングを省略する場合もある。

【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0021】

(実施の形態1)

本実施の形態の半導体装置における抵抗素子を図面を参照して説明する。図1は、本発明の一実施の形態である半導体装置（半導体集積回路装置）における抵抗素子の構造を示す要部断面図であり、図2はその平面図（平面レイアウト図）である。図2のA-A線の断面が、図1に対応する。

【0022】

図1および図2に示されるように、抵抗素子は、例えばp型の単結晶シリコンなどからなる半導体基板（半導体ウエハ、シリコン基板）1上に形成された例えば酸化シリコンなどからなる絶縁膜2上に形成された多結晶シリコン（ポリシリコン）膜3により形成されている。抵抗素子を構成する多結晶シリコン膜3のシート抵抗は、例えば数十 Ω/\square ～数千 Ω/\square 程度の範囲内で所望の値（抵抗値）となるように、イオン注入などによる多結晶シリコン膜3中への不純物の導入量（不純物密度）が調整されている。

【0023】

抵抗素子を形成する多結晶シリコン膜3の両端部近傍においては、多結晶シリコン膜3の表面（上面）上に、シリサイド層（シリサイド領域、サリサイド層）4およびシリサイド層（シリサイド領域、サリサイド層）5が形成されている。シリサイド層4、5は、例えば、高融点金属に属するコバルト（Co）と珪素（Si）との化合物であるコバルトシリサイド（ CoSi_2 ）で形成される。シリサイド層4、5の他の材料として、他の高融点金属と珪素（Si）との化合物、例えば、チタンシリサイド（ TiSi_2 ）、タンゲステンシリサイド（ WSi_2 ）、モリブデンシリサイド（ MoSi_2 ）、タンタルシリサイド（ TaSi_2 ）などを用いることもできる。シリサイド層4、5のシート抵抗は、例えば数 Ω/\square ～十数 Ω/\square 程度であり、多結晶シリコン膜3のシート抵抗に比べて小さい。

【0024】

多結晶シリコン膜3の表面（上面）のうちのシリサイド層4、5が形成されていない領域は、相対的に薄い絶縁膜6で覆われている。また、例えば酸化シリコンなどからなる相対的に厚い絶縁膜（層間絶縁膜）7が半導体基板1上に多結晶

シリコン膜 3、シリサイド層 4, 5 および絶縁膜 6 を覆うように形成されている。絶縁膜 7 に形成されたコンタクトホール 8 に埋め込まれたプラグ (コンタクト部) 9 を介して、シリサイド層 4, 5 は絶縁膜 7 上に形成された電極 (配線) 10 と電氣的に接続されている。電極 10 は、例えば、チタン膜 10 a のような高融点金属膜と、窒化チタン膜 10 b のような高融点金属窒化膜と、アルミニウム (A1) 単体またはアルミニウム合金などのアルミニウムを主成分とする導電体膜、すなわちアルミニウム膜 10 c と、チタン膜 10 d のような高融点金属膜と、窒化チタン膜 10 e のような高融点金属窒化膜との積層膜からなる。

【0025】

本実施の形態では、シリサイド層 4 の形状とシリサイド層 5 の形状とが異なり、一方のシリサイド層 5 の面積は他方のシリサイド層 4 の面積に比べて大きい。このシリサイド層 5 の面積を調節することで、多結晶シリコン膜 3 の形状 (パターン形状、例えば多結晶シリコン膜 3 の延在方向の長さ (長辺方向の長さ) L_0) を変えることなく、シリサイド層 4 とシリサイド層 5 との間の距離 (シリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a とシリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a との間の距離) L_1 を調整することが可能である。

【0026】

図 1 および図 2 に示される抵抗素子 (全体) の抵抗値 R_0 は、多結晶シリコン膜 3 の抵抗値、シリサイド層 4, 5 の抵抗値、および多結晶シリコン膜 3 とシリサイド層 4, 5 との接触抵抗値により構成され、次の式で与えられる。

【0027】

$$R_0 = R_{S1} \times L_1 / W_1 + R_{S2} \times L_2 / W_1 + R_0 \times 2 / W_1$$

ここで、 R_{S1} は多結晶シリコン膜 3 のシート抵抗 (Ω / \square) に対応する。 R_{S2} は、シリサイド層 4, 5 のシート抵抗 (Ω / \square) に対応する。 L_1 は、シリサイド層 4 とシリサイド層 5 との間の距離 (最近接距離) に対応する。 L_2 は、シリサイド層 4 の多結晶シリコン膜 3 の延在方向 (長辺方向) に沿った方向の距離 L_3 に対して (を基準とした)、シリサイド層 5 の多結晶シリコン膜 3 の延在方向 (長辺方向) に沿った方向の距離 (長さ) L_4 の増大量に対応する。すなわち、 L_2 は、シリサイド層 5 の多結晶シリコン膜 3 の延在方向に沿った方向の距離 (

長さ) L_4 とシリサイド層 4 の多結晶シリコン膜 3 の延在方向に沿った方向の距離 (長さ) L_3 との差 (の絶対値) ($L_2 = L_4 - L_3$ または $L_2 = |L_4 - L_3|$) に対応する。 W_1 は、抵抗素子 (多結晶シリコン膜 3) の幅 (多結晶シリコン膜 3 の延在方向に垂直な方向の幅) に対応する。 R_{C0} は、抵抗素子 (多結晶シリコン膜 3) と電極 (配線) 10 との接続抵抗に対応する。 R_{C0} は、抵抗素子の幅 W_1 に比例する値であり、シリサイド層 4, 5 と多結晶シリコン膜 3 との接触抵抗が主な要素となる。

【0028】

多結晶シリコン膜 3 のシート抵抗 R_{S1} は、シリサイド層 4, 5 のシート抵抗 R_{S2} と比べて、相対的に大きな値 (例えば数十倍～数百倍) である。このため、距離 L_1 と距離 L_2 との和 ($L_1 + L_2$) を一定にしながらも、その割合 ($L_2 / (L_1 + L_2)$) を変えることで、抵抗素子の抵抗値 R_0 を所望の値に調整することができる。例えば、距離 L_1 と距離 L_2 との和 ($L_1 + L_2$) を一定にしながら距離 L_2 を大きくすれば (すなわちシリサイド層 5 の面積をより大きくすることによりシリサイド層 5 の端部 5 a の位置をシリサイド層 4 の端部 4 a に近づければ)、抵抗素子の抵抗値 R_0 は減少する。また、距離 L_1 と距離 L_2 との和 ($L_1 + L_2$) を一定にしながら距離 L_2 を小さくすれば (すなわちシリサイド層 5 の面積をより小さくすることによりシリサイド層 5 の端部 5 a の位置をシリサイド層 4 の端部 4 a から遠ざければ)、抵抗素子の抵抗値 R_0 は増大する。

【0029】

距離 L_1 と距離 L_2 との和 ($L_1 + L_2$) を一定にしながら距離 L_2 を変更することにより抵抗素子の抵抗値 R_0 を変更できるので、抵抗素子の抵抗値 R_0 を調整 (変更) するに際して多結晶シリコン膜 3 の形状 (パターン形状) を変える必要はない。例えば多結晶シリコン膜 3 の延在方向の長さ (長辺方向の長さ) L_0 を変える必要はない。また、電極 (配線) 10 に接続するためのコンタクトホール 8 やプラグ 9 (コンタクト部) の位置を変える必要もない。また、電極 (配線) 10 の形状 (パターン形状) を変える必要もない。シリサイド層 5 の形状 (パターン形状) を変えることで、抵抗素子の抵抗値 R_0 を変更できるので、抵抗素子の抵抗値 R_0 を調整するために必要なマスク (露光用マスク) 変更枚数は、シリサ

イド層 4, 5 を形成するために使用するマスク（露光用マスク）、例えば絶縁膜 6 のパターンニング用のマスク（露光用マスク）のみである。抵抗素子の抵抗値を調整（変更）するに際して、コンタクトホール 8 形成用のマスク（露光用マスク）や電極（配線）10 形成用のマスク（露光用マスク）は変える必要がない。本実施の形態では、抵抗素子の多結晶シリコン膜 3 の形状（パターン形状）を変えることなく、シリサイド層 5 の面積を変えてシリサイド層 5 の端部 5 a の位置を変更することで、抵抗素子の抵抗値 R_0 を変える（調整する）ことができる。

【0030】

本実施の形態においては、抵抗素子の抵抗値を増大させるためには、シリサイド層 5 の面積を減少させ（それによってシリサイド層 5 の端部 5 a の位置をシリサイド層 4 の端部 4 a から遠ざけ）、抵抗素子の抵抗値を減少させるためには、シリサイド層 5 の面積を増大させ（それによってシリサイド層 5 の端部 5 a の位置をシリサイド層 4 の端部 4 a に近づけ）る。抵抗素子の抵抗値の設計値からのずれは半導体装置（半導体集積回路装置）の特性に大きな影響を与え得るが、最初の試作の段階から設計値通りの抵抗値を実現することは容易ではなく、回路（半導体装置）を試作し、特性を評価した後で、抵抗素子の抵抗値を調整することで、所望の特性や性能の半導体装置を製造することが可能となる。試作の前の段階において抵抗素子の抵抗値を後で増大させるか減少させるか判断するのは容易ではない。このため、試作の段階では、一方のシリサイド層 5 の面積を相対的に大きめに形成しておき、特性評価後にシリサイド層 5 の面積を増大または減少させて抵抗素子の抵抗値を減少または増大できるようにしておくことが好ましい。これにより、抵抗素子の抵抗値の変更の自由度（設計の自由度）が増大する。シリサイド層 5 の面積をシリサイド層 4 の面積に対してどの程度大きくしておくかは、抵抗素子の抵抗値の変更予想範囲（ぶれ幅）により決めることができるが、例えば距離 L_2 （すなわち距離 L_4 と距離 L_3 との差の絶対値）をシリサイド層 4 とシリサイド層 5 との間の距離（最近接距離） L_1 の 5 % 以上（すなわち $(L_2/L_1) \times 100 \geq 5$ ）とすれば好ましく、10 % 以上であればより好ましい。これにより、抵抗素子の抵抗値を所望の値に的確に変更することができ、所望の特性を有する半導体装置の製造（量産）をより容易に実現できる。

【0031】

上記のように、本実施の形態では、一方のシリサイド層 5 の面積を他方のシリサイド層 4 の面積よりも大きくしている。従って、抵抗素子を構成する多結晶シリコン膜 3 の端部（多結晶シリコン膜 3 のシリサイド層 4 形成側の短辺）3 a とシリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a との間の距離よりも、抵抗素子を構成するための多結晶シリコン膜 3 の他方の端部（多結晶シリコン膜 3 のシリサイド層 5 形成側の短辺）3 b とシリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a との間の距離を大きくしている。そして、シリサイド層 4 に対向するシリサイド層 5 の端部 5 a 位置を変更することで、シリサイド層 4、5 間の距離（最近接距離） L_1 を調節し、抵抗素子の抵抗値を所望の値に調整することができる。上記のように、抵抗素子を構成するための多結晶シリコン膜 3 の端部 3 b とシリサイド層 5 の端部 5 a との間の距離（ L_4 に対応）と、抵抗素子を構成する多結晶シリコン膜 3 の端部 3 a とシリサイド層 4 の端部 4 a との間の距離（ L_3 に対応）との差（ L_2 に対応）（または差の絶対値）を、シリサイド層 4、5 間の距離（最近接距離） L_1 の 5 % 以上とすれば好ましく、10 % 以上であればより好ましい。これにより、抵抗素子の抵抗値を所望の値に的確に変更することができ、所望の特性を有する半導体装置の製造（量産）をより容易に実現できる。

【0032】

次に、図 1 および図 2 に示される本実施の形態の抵抗素子の製造工程について説明する。図 3 ～図 10 は、本実施の形態の抵抗素子の製造工程中の要部断面図である。

【0033】

図 3 に示されるように、まず、例えば $1 \sim 10 \Omega \text{ cm}$ 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1 上に、例えば酸化シリコン膜などからなる絶縁膜 2 を形成する。絶縁膜 2 は、例えば CVD（Chemical Vapor Deposition）法または酸化処理（熱酸化法）などにより形成することができ、その膜厚は例えば 350 nm 程度である。また、絶縁膜 2 として、例えば STI（Shallow Trench Isolation）法または LOCOS（Local Oxidiz

ation of Silicon) 法などにより形成した素子分離領域を用いてもよい。

【0034】

次に、絶縁膜 2 上に多結晶シリコン (ポリシリコン) 膜 3 を例えば CVD 法などを用いて堆積 (形成) する。多結晶シリコン膜 3 の膜厚は、例えば 200 nm 程度である。それから、多結晶シリコン膜 3 のシート抵抗を調節するために、イオン注入 (イオン打ち込み) などを用いて多結晶シリコン膜 3 中に不純物を導入する。例えば、多結晶シリコン膜 3 にホウ素 (B) などを $1.5 \times 10^{15} / \text{cm}^2$ の注入量 (ドーズ量) で 25 keV のエネルギー条件 (注入エネルギー) でイオン注入する。

【0035】

次に、多結晶シリコン膜 3 を、フォトリソグラフィ法およびドライエッチング法を用いてパターンニング (パターン化、加工) する。すなわち、多結晶シリコン膜 3 上にフォトレジスト膜を形成し、露光用マスクを用いてフォトレジスト膜を露光して現像することにより、図示しないフォトレジストパターンを多結晶シリコン膜 3 上に形成し、そのフォトレジストパターンをエッチングマスクとして用いて多結晶シリコン膜 3 をドライエッチングすることにより、多結晶シリコン膜 3 を所定のパターンにパターンニングする。その後、フォトレジストパターンはアッシングなどにより除去される。このようにして、多結晶シリコン膜 3 が所定 (所望) の形状にパターンニングされ、図 3 の構造が得られる。

【0036】

次に、図 4 に示されるように、半導体基板 1 上に、パターンニングされた多結晶シリコン膜 3 を覆うように、例えば窒化シリコン膜または酸化シリコン膜などからなる絶縁膜 6 を形成する。絶縁膜 6 は、例えば CVD 法を用いて形成でき、その膜厚は例えば 100 nm 程度である。

【0037】

次に、図 5 に示されるように、絶縁膜 6 を、フォトリソグラフィ法およびドライエッチング法を用いてパターンニングする。この際、多結晶シリコン膜 3 の上面のシリサイド層 4, 5 が形成されない領域上には絶縁膜 6 が残存し、それ以外の領域、すなわち多結晶シリコン膜 3 の上面のシリサイド層 4, 5 が形成されるべ

き領域上には絶縁膜 6 が残存しないように（絶縁膜 6 が除去されるように）、絶縁膜 6 をパターンニングする。このときエッチングマスクとして用いられる図示しないフォトリソグロパターンを形成するための露光工程のマスク（露光用マスク）を変更してパターンニングされた絶縁膜 6 の形状を変更すれば、多結晶シリコン膜 3 上のシリサイド層 4, 5 の形成位置を変更でき、形成される抵抗素子の抵抗値を変更することができる。絶縁膜 6 のパターンニングの後、例えば 1000℃程度で 1 秒程度の熱処理を行って、多結晶シリコン膜 3 中にイオン注入した不純物を活性化させる。

【0038】

次に、図 6 に示されるように、半導体基板 1 上に、多結晶シリコン膜 3 および絶縁膜 6 を覆うように、コバルト膜などからなる金属膜 12 を堆積する。金属膜 12 は、例えばスパッタリング法を用いて形成でき、その膜厚は例えば 10 nm 程度である。

【0039】

次に、図 7 に示されるように、例えば窒素雰囲気中で 500℃程度で 60 秒程度の熱処理を行って、多結晶シリコン膜 3 の絶縁膜 6 で覆われていない部分と、そこに接触する金属膜 12 とを反応させてシリサイド層（シリサイド層）4, 5 を形成する。例えば、金属膜 12 がコバルト膜からなる場合は、シリサイド層 4, 5 として、コバルトシリサイド層が形成される。シリサイド層 4, 5 の膜厚は、例えば数十 nm 程度であり、シリサイド層 4, 5 の下には未反応の多結晶シリコン膜 3 が残存する。

【0040】

次に、図 8 に示されるように、未反応の金属層 12 は、ウェットエッチング法などにより除去され、シリサイド層 4, 5 が多結晶シリコン膜 3 上に残存する。

【0041】

次に、図 9 に示されるように、半導体基板 1 上に、多結晶シリコン膜 3、絶縁膜 6 およびシリサイド層 4, 5 を覆うように、絶縁膜 7 が形成される。絶縁膜 7 は、例えば、酸化シリコン膜などの単層構造または、相対的に薄い（例えば膜厚 100 nm 程度の）窒化シリコン膜および相対的に厚い（例えば膜厚 1300 nm

m程度の) 酸化シリコン膜の積層膜とすることができる。

【0042】

次に、必要に応じて絶縁膜7の上面をCMP (Chemical Mechanical Polishing) 法などを用いて平坦化する。それから、フォトリソグラフィ法およびドライエッチング法を用いて絶縁膜7を選択的に除去して、絶縁膜7にコンタクトホール8を形成する。コンタクトホール8の底部では、シリサイド層4, 5の一部が露出される。

【0043】

次に、図10に示されるように、コンタクトホール内8に、タングステン (W) などからなるプラグ9が形成される。プラグ9は、例えば、コンタクトホール8の内部を含む絶縁膜7上にバリア膜として例えば窒化チタン膜を形成した後、タングステン膜をCVD (Chemical Vapor Deposition) 法によって窒化チタン膜上にコンタクトホール8を埋めるように形成し、絶縁膜7上の不要なタングステン膜および窒化チタン膜をCMP (Chemical Mechanical Polishing) 法またはエッチバック法などによって除去することにより形成される。

【0044】

次に、プラグ9が埋め込まれた絶縁膜上に、電極 (配線) 10が形成される。例えば、プラグ9が埋め込まれた絶縁膜7上に、チタン膜10aのような高融点金属膜と、窒化チタン膜10bのような高融点金属窒化膜と、アルミニウム (Al) 単体またはアルミニウム合金などのアルミニウムを主成分とする導電体膜、すなわちアルミニウム膜10cと、チタン膜10dのような高融点金属膜と、窒化チタン膜10eのような高融点金属窒化膜とを順に形成し、フォトリソグラフィ法などによって所定のパターンに加工して電極 (配線) 10を形成する。電極 (配線) 10は、プラグ9を介してシリサイド層4, 5と電氣的に接続されている。電極 (配線) 10は、上記のようなアルミニウム配線 (電極) に限定されず種々変更可能であり、例えばアルミニウム (Al) またはアルミニウム合金などの単体膜からなるアルミニウム配線 (電極) や、タングステン配線 (電極)、あるいは銅配線 (電極) とすることもできる。このようにして本実施の形態における抵抗素子が形成される。その後、絶縁膜7上に、電極 (配線) 10を覆うよう

に、層間絶縁膜が形成され、必要に応じてスルーホールおよびそこに埋め込まれるプラグが形成され、更に電極（配線）10に電氣的に接続する上層配線が形成されるが、ここではその説明は省略する。

【0045】

図1に示される抵抗素子では、抵抗素子を構成するシリコン層として、多結晶シリコン膜3を用いている。他の形態として、多結晶シリコン膜3の代わりに、半導体基板内に（イオン注入などにより）不純物を導入して形成した不純物拡散層（不純物を導入した単結晶シリコン層）を用いて抵抗素子を形成することもできる。図11は、半導体基板1内に不純物を導入して形成した不純物拡散層により形成した抵抗素子を示す断面図であり、図1に対応する断面が示されている。

【0046】

図11に示されるように、p型の単結晶シリコンなどからなる半導体基板1には酸化シリコンなどからなる素子分離領域21が例えばSTI（Shallow Trench Isolation）法またはLOCOS（Local Oxidization of Silicon）法などにより形成されており、n型ウエル22が例えばリンなどの不純物をイオン注入することなどによって形成されている。それから、n型ウエル22にリンなどの不純物をイオン注入（導入）することなどにより、p型半導体領域（不純物拡散層）23が形成されている。このp型半導体領域23により、抵抗素子が形成される。抵抗素子を形成するp型半導体領域23の両端部近傍においては、p型半導体領域23の表面（上面）上に、図1における多結晶シリコン膜3の上面に形成したシリサイド層4、5と同様のシリサイド層24、25が同様の手法により形成されている。p型半導体領域23の上面のうちのシリサイド層24、25が形成されていない領域は、絶縁膜26で覆われている。他の構成（絶縁膜7、コンタクトホール8、プラグ9および電極10）は図1の抵抗素子とほぼ同様であるのでここではその説明は省略する。図11の抵抗素子の場合も、図1の抵抗素子の場合と同様に、一方のシリサイド層25の面積を他方のシリサイド層24の面積より大きくし、そのシリサイド層25の面積を調節することで、シリサイド層25の端部（シリサイド層24に対抗する側の端部）25aの位置を変更する。これにより、シリサイド層24の端部（シリサイド層25に対抗する側の端部）

24a とシリサイド層 25 の端部 25a との間の距離 L_1 (すなわちシリサイド層 24, 25 に挟まれた部分の p 型半導体領域 23 の長さ) を調節し、抵抗素子の抵抗値を所望の値に調整することができる。

【0047】

上記のように、シリサイド (サリサイド) 構造を適用した抵抗素子の抵抗値は、シリサイド層で挟まれた抵抗体 (シリコン層、多結晶シリコン膜、単結晶シリコン層) の抵抗値と、シリサイド層に接続されたコンタクトの接続抵抗とによって構成されている。本実施の形態では、シリサイド層の面積を変えてシリサイド層で挟まれた抵抗体 (シリコン層、例えば多結晶シリコン膜または不純物を導入した単結晶シリコン層) の抵抗値を変えることで、抵抗素子の抵抗値の調整を可能とする。このため、寸法 (サイズ) を変更することなく抵抗値が変更できる抵抗素子を提供できる。一般にトランジスタと同時に形成される抵抗体を形成するマスク (露光用マスク) を変更する必要がない。また、抵抗値を変更した抵抗素子を搭載した回路 (半導体集積回路装置、半導体装置) の製造に要する時間を短縮できる。

【0048】

また、抵抗素子を形成する抵抗体およびトランジスタを回路設計前に予め作り込んでおき、回路設計後にシリサイド層形成 (加工) 用のマスク (露光用マスク) および配線層形成 (加工) 用のマスク (露光用マスク) を作ることで所望の回路を構成 (形成) するゲートアレイ方式を採用した半導体装置 (半導体集積回路装置) を実現することが可能となる。これは、抵抗体 (抵抗素子) の抵抗値が、シリサイド層形成用のマスク (露光用マスク) の変更により調整できるためである。

【0049】

更に、本実施の形態により、抵抗素子の抵抗値の変更に必要となるマスク (露光用マスク) 枚数を削減し、マスク (露光用マスク) の変更費用を低減することができる。これは、抵抗体 (抵抗素子) の抵抗値の調整が、シリサイド層形成用のマスク (露光用マスク) を変更することで可能となるためである。

【0050】

本実施の形態の抵抗素子は他の半導体素子（例えばバイポーラトランジスタまたはMISFETなど）の製造工程において形成することもできる。例えば、半導体装置において抵抗素子を構成する多結晶シリコン膜は、半導体装置においてバイポーラトランジスタのベース電極を構成する多結晶シリコン膜と同層とすることができる。そのような半導体装置の製造工程を図面を参照して説明する。図12～図16は、本実施の形態の半導体装置（半導体集積回路装置）の製造工程中の要部断面図である。なお、ここでその製造工程を説明する半導体装置は、例えば抵抗素子、バイポーラトランジスタ、nチャネル型MISFET（Metal Insulator Semiconductor Field Effect Transistor）およびpチャネル型MISFETを有している。

【0051】

図12に示されるように、例えば $1 \sim 10 \Omega \text{ cm}$ 程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1の主面に、素子分離領域31が形成される。素子分離領域31は酸化シリコンなどからなり、例えばSTI（Shallow Trench Isolation）法またはLOCOS（Local Oxidization of Silicon）法などにより形成される。例えば半導体基板1に素子分離用の溝を形成し、その溝に酸化シリコン膜などを埋め込んでからCMP法などにより平坦化することにより素子分離領域31を形成することができる。

【0052】

次に、図13に示されるように、半導体基板1に、その主面から所定の深さに渡ってp型ウエル32およびn型ウエル33、34を形成する。p型ウエル32は、例えばホウ素などの不純物をイオン注入することなどによって形成され、n型ウエル33、34は、例えばリンなどの不純物をイオン注入することなどによって形成される。

【0053】

次に、MISFET形成予定領域に、MISFET（Metal Insulator Semiconductor Field Effect Transistor）を形成する。まず、p型ウエル32およびn型ウエル33の表面にゲート絶縁膜35が形成される。ゲート絶縁膜35は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成する

ことができる。

【0054】

次に、p型ウエル32およびn型ウエル33のゲート絶縁膜35上にゲート電極36が形成される。例えば、半導体基板1上に多結晶シリコン（ポリシリコン）膜を形成し、その多結晶シリコン膜に不純物（nチャネル型MISFET形成予定領域では例えばリン（P）など、pチャネル型MISFET形成予定領域では例えばホウ素（B）など）をイオン注入して低抵抗の半導体膜とし、その多結晶シリコン膜をフォトリソグラフィ法およびドライエッチング法によってパターニング（パターン化、加工）することにより、多結晶シリコン膜からなるゲート電極36を形成することができる。

【0055】

次に、p型ウエル32のゲート電極36の両側の領域にリンなどの不純物をイオン注入することにより、n⁻型半導体領域（不純物拡散層）37が形成され、n型ウエル33のゲート電極36の両側の領域にホウ素などの不純物をイオン注入することにより、p⁻型半導体領域（不純物拡散層）38が形成される。

【0056】

次に、ゲート電極36の側壁上に、例えば酸化シリコンなどからなる側壁スペーサまたはサイドウォール39が形成される。サイドウォール39は、例えば、半導体基板1上に酸化シリコン膜を堆積し、この酸化シリコン膜を異方性エッチングすることによって形成することができる。

【0057】

サイドウォール39の形成後、n⁺型半導体領域（不純物拡散層または）40（ソース、ドレイン）が、例えば、p型ウエル32のゲート電極36およびサイドウォール39の両側の領域にリンなどの不純物をイオン注入することにより形成され、p⁺型半導体領域（不純物拡散層）41（ソース、ドレイン）が、例えば、n型ウエル33のゲート電極36およびサイドウォール39の両側の領域にホウ素などの不純物をイオン注入することにより形成される。n⁺型半導体領域40は、n⁻型半導体領域37よりも不純物濃度が高く、p⁺型半導体領域41は、p⁻型半導体領域38よりも不純物濃度が高く、LDD（Lightly Doped Drain

）構造が形成される。

【0058】

このようにして、nチャネル型MISFET 42とpチャネル型MISFET 43が形成される。

【0059】

次に、バイポーラトランジスタ形成予定領域にバイポーラトランジスタを形成する。なお、MISFET形成領域（nチャネル型MISFET 42およびpチャネル型MISFET 43の形成領域）では、バイポーラトランジスタ形成工程で形成された材料膜は、その材料膜のパターニング工程において除去され得る。

【0060】

まず、図14に示されるように、半導体基板1上に、例えば酸化シリコン膜などからなる絶縁膜51を形成（堆積）する。絶縁膜51の膜厚は、例えば100nm程度である。それから、絶縁膜51をフォトリソグラフィ法およびドライエッチング法を用いてパターニングし、バイポーラトランジスタの形成予定領域を開口する。

【0061】

次に、半導体基板1上に絶縁膜52を形成する。絶縁膜52は、例えば窒化シリコン膜の単体膜、または酸化シリコン膜と窒化シリコン膜との積層膜などからなる。絶縁膜52の膜厚は例えば60nm程度である。それから、半導体基板1上に、抵抗素子およびバイポーラトランジスタのベース電極形成用の共通の多結晶シリコン（ポリシリコン）膜53を堆積する。多結晶シリコン膜53の膜厚は、例えば150nm程度である。そして、多結晶シリコン膜53のシート抵抗を調整するために、イオン注入法などを用いて多結晶シリコン膜53に不純物を導入する。このときのイオン注入の条件は、例えば、ホウ素（B）を $1.5 \times 10^{15} / \text{cm}^2$ 程度の注入量（ドーズ量）で25keV程度のエネルギー条件（注入エネルギー）でイオン注入する。なお、多結晶シリコン膜53全体へのイオン注入を行って、多結晶シリコン膜53のうちの抵抗素子を構成する部分のシート抵抗と多結晶シリコン膜53のうちのベース電極を構成する部分のシート抵抗とを同じ値にすることもできるが、抵抗素子形成予定領域とバイポーラトランジスタ

のベース電極形成予定領域とで、多結晶シリコン膜 53 へのイオン注入の条件（不純物の種類、注入量または注入エネルギーなど）を変えて、多結晶シリコン膜 53 の抵抗素子を構成する部分のシート抵抗とベース電極を構成する部分のシート抵抗とを異なるものとすることもできる。

【0062】

次に、半導体基板 1 上に絶縁膜 54 を形成する。絶縁膜 54 は、例えば 200 nm 程度の膜厚の酸化シリコン膜の単体膜、または例えば 50 nm 程度の膜厚の窒化シリコン膜と例えば 200 nm 程度の膜厚の酸化シリコン膜との積層膜などからなる。それから、フォトリソグラフィ法およびドライエッチング法を用いて、絶縁膜 54 および多結晶シリコン膜 53 をパターンニング（加工）し、バイポーラトランジスタのベース電極（ベース引出し電極）53a と抵抗素子用の多結晶シリコン（ポリシリコン）膜 53b とを形成する。これにより、図 14 の構造が得られる。

【0063】

次に、バイポーラトランジスタのベース領域形成予定領域における絶縁膜 54 および多結晶シリコン膜 53 の開口部 60 の側壁にサイドウォール（側壁スペーサ）61 を形成した後、開口部 60 の底部で絶縁膜 52 をエッチングして除去する。この際、開口部 60 の底部で絶縁膜 52 はサイドエッチングされる。それから、エピタキシャル結晶成長法などを用いて、例えばシリコンゲルマニウムなどからなるベース領域 62 を形成する。ベース領域 62 は、イオン注入法を用いて形成することもできる。それから、必要に応じて、n 型半導体領域 63 をイオン注入法などにより形成する。そして、サイドウォール 61 の側壁上に更にサイドウォール（第 2 のサイドウォール）を形成して、サイドウォール 61 の厚みを厚くした後、半導体基板 1 上に、バイポーラトランジスタのエミッタ電極（エミッタ引き出し電極）64 形成用の、例えばリン（P）またはヒ素（As）などの不純物を含んだ多結晶シリコン（ポリシリコン）膜を堆積する。それから、フォトリソグラフィ法およびドライエッチング法を用いてその多結晶シリコン膜および絶縁膜 54 をパターンニングして、エミッタ電極（エミッタ引き出し電極）64 を形成する。そして、例えば 1000℃ 程度で例えば 1 秒程度の熱処理を施すこと

により、エミッタ電極 64 を構成する多結晶シリコン膜からベース領域 62 中に不純物を拡散させることによって、バイポーラトランジスタのエミッタ領域 65 を形成する。なお、他の形態として、ベース電極 53a ではなくエミッタ電極 64 を構成する多結晶シリコン膜により抵抗素子を構成する多結晶シリコン膜 53b を形成し、抵抗素子を構成する多結晶シリコン膜 53b をバイポーラトランジスタのエミッタ電極 64 を構成する多結晶シリコン膜と同層とすることもできる。

【0064】

次に、絶縁膜 54 を、フォトリソグラフィ法およびドライエッチング法を用いて、その上にシリサイド層を形成すべきでないシリコン領域（多結晶シリコン膜または単結晶シリコン層）上にだけ残存させ、他の領域の絶縁膜 54 を除去する。その後、例えばコバルト膜などからなる金属膜を半導体基板 1 上に堆積し、熱処理を行って金属膜とその下のシリコンとを反応させてコバルトシリサイドなどからなるシリサイド層（サリサイド層）70 を形成する。その後、未反応の金属膜はウエットエッチングなどにより除去する。これにより、抵抗素子を構成する多結晶シリコン膜 53b、バイポーラトランジスタのベース電極 53a を構成する多結晶シリコン膜、エミッタ電極 64 を構成する多結晶シリコン膜、コレクタ引出し領域、MISFET のゲート電極 36 を構成する多結晶シリコン膜およびソース・ドレインとしての不純物拡散層（ n^+ 型半導体領域 40 および p^+ 型半導体領域 41）上にシリサイド層（サリサイド層）70 が形成される。このようにして、図 15 の構造が得られる。

【0065】

その後、図 16 に示されるように、半導体基板 1 上に例えば酸化シリコン膜（または相対的に薄い窒化シリコン膜と相対的に厚い酸化シリコン膜との積層膜）などからなる絶縁膜 71 が形成され、フォトリソグラフィ法およびドライエッチング法を用いて、絶縁膜 71 にコンタクトホール 72 が形成される。それから、コンタクトホール 72 を埋めるプラグ 73 が形成され、プラグ 73 を介して抵抗素子、MISFET またはバイポーラトランジスタに電氣的に接続する電極（配線）74 が絶縁膜上に形成される。

【0066】

このようにして、抵抗素子、バイポーラトランジスタおよびMISFETを有する半導体装置（半導体集積回路装置）を製造することができる。なお、図16において形成された抵抗素子は、図1の抵抗素子に対応する。すなわち、図16において抵抗素子を構成する多結晶シリコン膜53bおよびその上面に形成された2つのシリサイド層70は、図1における多結晶シリコン膜3およびシリサイド層4, 5に対応する。このため、抵抗素子を構成する多結晶シリコン膜53b上に形成された2つのシリサイド層70の面積および位置関係は、上記抵抗素子を構成する多結晶シリコン膜3上に形成されるシリサイド層4, 5の面積および位置関係と同様である。

【0067】

半導体装置の抵抗素子を構成する多結晶シリコン膜53bを、半導体装置のバイポーラトランジスタのベース電極53aを構成する多結晶シリコン膜（またはエミッタ電極64を構成する多結晶シリコン膜）と同層とすることで、バイポーラトランジスタの製造工程において抵抗素子も製造でき、半導体装置の製造工程数を低減し、半導体装置の製造コストを低減することが可能となる。

【0068】

上記実施の形態では、半導体装置の抵抗素子を構成する多結晶シリコン膜は、半導体装置のバイポーラトランジスタのベース電極を構成する多結晶シリコン膜（またはエミッタ電極64を構成する多結晶シリコン膜）と同層としたが、他の形態として、半導体装置の抵抗素子を構成する多結晶シリコン膜を、半導体装置のMISFETのゲート電極を構成する多結晶シリコン膜と同層とすることもできる。

【0069】

図17および図18は、半導体装置の抵抗素子を構成する多結晶シリコン膜を、半導体装置のMISFETのゲート電極を構成する多結晶シリコン膜と同層とした場合の半導体装置の製造工程中の要部断面図である。

【0070】

図17に示されるように、nチャネル型MISFETおよびpチャネル型MI

S F E T のゲート電極 3 6 形成用の多結晶シリコン（ポリシリコン）膜を形成し、必要に応じた不純物をイオン注入した後、その多結晶シリコン膜をフォトリソグラフィ法およびドライエッチング法を用いてパターンニングする際に、ゲート電極 3 6 を構成する多結晶シリコン（ポリシリコン）膜 3 6 a とともに、抵抗素子形成予定領域に抵抗素子を構成する多結晶シリコン（ポリシリコン）膜 8 1 が残存するように多結晶シリコン膜をパターンニングする。従って、抵抗素子を構成する多結晶シリコン膜 8 1 は、n チャネル型 M I S F E T および p チャネル型 M I S F E T のゲート電極 3 6 を構成する多結晶シリコン膜 3 6 a は、同層の多結晶シリコン膜により形成される。なお、多結晶シリコン膜全体へのイオン注入を行って抵抗素子を構成する多結晶シリコン膜 8 1 のシート抵抗とゲート電極 3 6 を構成する多結晶シリコン膜 3 6 a のシート抵抗とを同じ値にすることもできるが、抵抗素子形成予定領域と M I S F E T のゲート電極形成予定領域とで、多結晶シリコン膜へのイオン注入の条件（不純物の種類、注入量または注入エネルギーなど）を変えて、抵抗素子を構成する多結晶シリコン膜 8 1 のシート抵抗とゲート電極 3 6 を構成する多結晶シリコン膜 3 6 a のシート抵抗とを異なるものとすることもできる。

【 0 0 7 1 】

次に、サイドウォール 3 9 や M I S F E T のソース・ドレインとしての不純物拡散層（n⁺型半導体領域 4 0 および p⁺型半導体領域 4 1）を形成して n チャネル型 M I S F E T 4 2 および p チャネル型 M I S F E T 4 3 を形成した後、図 1 4 ～図 1 6 の工程とほぼ同様にしてバイポーラトランジスタを形成するなどして、図 1 8 に示されるような構造が得られる。この際、M I S F E T のゲート電極 3 6 の形成時に既に抵抗素子を構成する多結晶シリコン膜 8 1 は形成されているので、上記実施の形態のようにベース電極 5 3 a を構成する多結晶シリコン膜 5 3 のパターンニング時に抵抗素子用の多結晶シリコン膜パターンを形成する必要はない。なお、多結晶シリコン膜 8 1 上には、シリサイド層を形成しない領域を覆う絶縁膜 8 2 が形成される。その後、バイポーラトランジスタのベース電極 5 3 a を構成する多結晶シリコン膜、エミッタ電極 6 4 を構成する多結晶シリコン膜およびコレクタ引出し領域、M I S F E T のゲート電極 3 6 を構成する多結晶シ

リコン膜およびソース・ドレインとしての不純物拡散層（ n^+ 型半導体領域 40 および p^+ 型半導体領域 41）、および抵抗素子を構成する多結晶シリコン膜 81 上に、シリサイド層 70 が形成される。

【0072】

図 18 の構造は、抵抗素子を MISFET のゲート電極 36 を構成する多結晶シリコン膜と同層の多結晶シリコン膜 81 を用いて形成したこと以外は、図 16 の構造にほぼ対応する。また、図 18 において形成された抵抗素子は、図 1 の抵抗素子に対応し、抵抗素子を構成する多結晶シリコン膜 81 上に形成される 2 つのシリサイド層 70 の面積および位置関係は、上記抵抗素子を構成する多結晶シリコン膜 3 上に形成されるシリサイド層 4, 5 の面積および位置関係と同様である。

【0073】

半導体装置の抵抗素子を構成する多結晶シリコン膜 81 を、半導体装置の MISFET のゲート電極 36 を構成する多結晶シリコン膜 36a と同層とすることで、MISFET の製造工程において抵抗素子も製造でき、半導体装置の製造工程数を低減し、半導体装置の製造コストを低減することが可能となる。

【0074】

また、更に他の形態として、半導体装置の抵抗素子を構成するシリコン層を、半導体装置の MISFET のソース・ドレインを構成する不純物拡散層と同層とすることもできる。図 19 および図 20 は、半導体装置の抵抗素子を構成するシリコン層を、半導体装置の MISFET のソース・ドレインを構成する不純物拡散層（半導体領域）と同層とした場合の半導体装置の製造工程中の要部断面図である。

【0075】

図 19 に示されるように、MISFET のゲート電極 36 やサイドウォール 39 を形成した後、MISFET のソース・ドレインとしての不純物拡散層（例えば p チャネル型 MISFET 43 のソース・ドレインとしての p^+ 型半導体領域 41 または p^- 型半導体領域 38）をイオン注入により形成する際に、抵抗素子形成予定領域に形成された n 型ウエル（または p 型ウエル）91 にも不純物のイ

オン注入を行って、抵抗素子を構成する不純物拡散層（p型半導体領域）92を形成する。従って、単結晶シリコンに不純物を導入した不純物拡散層（単結晶シリコン層）92によって、抵抗素子が形成されることとなる。

【0076】

なお、半導体基板への1回のイオン注入により抵抗素子を構成する不純物拡散層（単結晶シリコン層）とMISFETのソース・ドレインとしての不純物拡散層（単結晶シリコン層）とを形成してそれらのシート抵抗を同じ値にすれば、製造工程数を低減でき、半導体装置の製造コストも低減できてより好ましいが、抵抗素子形成予定領域とMISFETのソース・ドレイン形成予定領域とで、半導体基板へのイオン注入の条件（不純物の種類、注入量または注入エネルギーなど）を変えて、抵抗素子を構成する不純物拡散層（単結晶シリコン層）のシート抵抗とMISFETのソース・ドレインとしての不純物拡散層（単結晶シリコン層）のシート抵抗とを異なるものとすることも可能である。

【0077】

次に、図14～図16の工程とほぼ同様にしてバイポーラトランジスタを形成するなどして、図20に示されるような構造が得られる。この際、MISFETのソース・ドレインとしての不純物拡散層の形成時に既に抵抗素子を構成する不純物拡散層92が形成されているので、ベース電極53aのパターニング時に抵抗素子用の多結晶シリコン膜パターンを形成する必要はない。なお、不純物拡散層92上には、シリサイド層を形成しない領域を覆う絶縁膜93が形成される。その後、バイポーラトランジスタのベース電極53aを構成する多結晶シリコン膜、エミッタ電極64を構成する多結晶シリコン膜およびコレクタ引出し領域、MISFETのゲート電極36を構成する多結晶シリコン膜およびソース・ドレインとしての不純物拡散層（n⁺型半導体領域40およびp⁺型半導体領域41）、および抵抗素子を構成する不純物拡散層92上に、シリサイド層70が形成される。

【0078】

図20の構造は、抵抗素子を不純物拡散層92を用いて形成したこと以外は、図16の構造にほぼ対応する。また、図20において形成された抵抗素子は、図

11の抵抗素子に対応し、抵抗素子を構成する不純物拡散層92上に形成される2つのシリサイド層70の面積および位置関係は、上記抵抗素子を構成する多結晶シリコン膜3（p型半導体領域23）上に形成されるシリサイド層4, 5（シリサイド層24, 25）の面積および位置関係と同様である。

【0079】

半導体装置の抵抗素子を、多結晶シリコン膜ではなく、単結晶シリコンなどからなる半導体基板に不純物を導入して形成した不純物拡散層により形成し、その抵抗素子を構成する不純物拡散層を、半導体装置のMISFETのソース・ドレインを構成する不純物拡散層と同層とすることで、MISFETの製造工程において抵抗素子も製造でき、半導体装置の製造工程数を低減し、半導体装置の製造コストを低減することが可能となる。

【0080】

図21～図24は、本実施の形態の抵抗素子を用いた回路例を示す回路図である。

【0081】

図21に示されるように、高速、高周波回路に用いられる差動型のECL（Emitter Coupled Logic）回路に本実施の形態の抵抗素子を用いればより好適（有効）である。抵抗素子の抵抗値を調節することにより、出力波形の振幅を調整でき、信号伝達回路を調整できる。このため、抵抗素子の抵抗値には高い精度が要求され、抵抗素子の抵抗値の微調整が必要となり得るが、本実施の形態のような抵抗素子を用いることで抵抗値の調整がより容易となる。

【0082】

また、図22に示されるように、ラダー回路を用いたD/A変換器（デジタル（デジタル）-アナログ変換器）に本実施の形態の抵抗素子を用いればより好適である。スイッチS₁～S₈は、各抵抗素子の端部に接続された電流源を駆動させる。出力端子に出力される電位は、電源電圧V₀に対し、抵抗素子における電圧降下分を差し引いた電圧となる。8ビットのデジタル信号に対して、 $2^8=256$ 通りの電位が生成され、アナログ信号が得られる。正確なデジタル-アナログ変換を行うには、抵抗素子の抵抗値の微調整が必要となり得るが、本実施の

形態のような抵抗素子を用いることで抵抗値の調整がより容易となる。

【0083】

また、図23に示されるようにRC発振回路に本実施の形態の抵抗素子を用いればより好適である。NANDゲートの1入力端子は、発振制御スイッチとなっている。発振周波数はRC時定数により決定される。本実施の形態のような抵抗素子を用いてその抵抗値を調整することで、発振周波数を容易に調整することができる。

【0084】

また、図24に示されるように、終端抵抗として本実施の形態の抵抗素子を用いればより好適である。図24には、終端抵抗付の回路が示されており、内部回路とのインピーダンス整合をとるための終端抵抗部が本実施の形態の抵抗素子により構成されている。終端抵抗は、例えば50Ωの値で設計され、接続される回路または線路とインピーダンス整合が取られるため、その抵抗値は高い精度を要求される。抵抗値がずれると、インピーダンス整合（マッチング）がとれずに反射（反射波）が生じてしまうが、本実施の形態のような抵抗素子を用いてその抵抗値を微調整することで、高い精度で抵抗値を調整でき、インピーダンス整合を容易に行うことが可能となる。

【0085】

従って、抵抗素子の抵抗値の微調整が必要となり得る回路に本実施の形態のような抵抗素子を用いれば、抵抗素子の抵抗値の微調整が容易となり、所望の回路特性をより容易に得ることが可能となる。

【0086】

また、本実施の形態の抵抗素子は、回路を設計し、試作評価した後で抵抗素子の抵抗値を調節して回路の性能や特性を調整する可能性の高い超高速ECL回路や発振器などのアナログ回路を搭載した半導体装置（半導体集積回路装置）に用いればより有効である。さらに、本実施の形態の抵抗素子は、回路設計前に抵抗素子やトランジスタなどの素子を半導体基板上に配列しておき、回路設計後に所望の抵抗値になるように抵抗素子を調整し、素子間を接続する配線層を形成するゲートアレイ方式の半導体装置（半導体集積回路装置）に用いればより有効であ

る。

【0087】

(実施の形態2)

図25は、本発明の他の実施の形態の半導体装置の抵抗素子の断面図であり、図26はその平面図（平面レイアウト図）である。図26のA-A線の断面が、図25に対応する。なお、図25および図26は、それぞれ上記実施の形態1における図1および図2に対応する。

【0088】

本実施の形態においても、上記実施の形態1と同様、図25に示されるように、抵抗素子は、半導体基板1上に形成された絶縁膜2上に形成された多結晶シリコン（ポリシリコン）膜3により形成されており、そのシート抵抗は、例えば数十 Ω/\square ～数千 Ω/\square 程度の範囲内で所望の抵抗値となるように多結晶シリコン膜3中へのイオン注入による不純物の導入量（注入量、不純物密度）が調整されている。抵抗素子を形成する多結晶シリコン膜3の両端部近傍においては、多結晶シリコン膜3の表面（上面）上に、シリサイド層（シリサイド層）4、5が形成されている。シリサイド層4、5は、例えば、高融点金属に属するコバルト（Co）と珪素（Si）との化合物であるコバルトシリサイド（ CoSi_2 ）で形成される。シリサイド層4、5の他の材料として、他の高融点金属と珪素（Si）との化合物、例えば、チタンシリサイド（ TiSi_2 ）、タングステンシリサイド（ WSi_2 ）、モリブデンシリサイド（ MoSi_2 ）、タンタルシリサイド（ TaSi_2 ）などを用いることもできる。シリサイド層4、5のシート抵抗は、例えば数十 Ω/\square ～十数 Ω/\square 程度であり、多結晶シリコン膜3のシート抵抗に比べて小さい。シリサイド層4、5は、それぞれ、絶縁膜7に形成されたコンタクトホール8に埋め込まれたプラグ9（コンタクト部）を介して、例えばチタン膜10a、窒化チタン膜10b、アルミニウム膜10c、チタン膜10dおよび窒化チタン膜10eなどからなる電極（配線）10と電氣的に接続されている。

【0089】

本実施の形態では、上記実施の形態1とは異なり、一方のシリサイド層4の面積（形状）は他方のシリサイド層5の面積（形状）とほぼ同じにすることができ

るが、一方（少なくとも一方）のシリサイド層 5 は多結晶シリコン膜 3 の端部ではなく、端部から所定の距離 L_5 だけ他方のシリサイド層 4 側に寄った位置に形成されている。例えば、図 25 および図 26 においては、シリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a とは逆側の端部 4 b は、多結晶シリコン膜 3 の端部 3 a にほぼ対応（一致）する位置にあるが、シリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a とは逆側の端部 5 b は、多結晶シリコン膜 3 の端部 3 b から距離 L_5 だけ離れている。従って、一方のシリサイド層 4 の多結晶シリコン膜 3 上の位置と他方のシリサイド層 5 の多結晶シリコン膜 3 上の位置とが、対称ではない。

【0090】

本実施の形態では、多結晶シリコン膜 3 上において一方のシリサイド層 5 を設ける位置を調節することで、多結晶シリコン膜 3 の形状（パターン形状、例えば多結晶シリコン膜 3 の延在方向の長さ（長辺方向の長さ） L_0 ）を変えることなく、シリサイド層 4 とシリサイド層 5 との間の距離（シリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a とシリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a との間の距離） L_1 を調整することが可能である。

【0091】

本実施の形態では、抵抗素子の抵抗値 R_0 は、多結晶シリコン膜 3 の抵抗値、シリサイド層 4、5 の抵抗値、および多結晶シリコン膜 3 とシリサイド層 4、5 との接触抵抗値により構成され、次の式で与えられる。

【0092】

$$R_0 = R_{S1} \times L_1 / W_1 + R_{C0} \times 2 / W_1$$

ここで、 R_{S1} は多結晶シリコン膜 3 のシート抵抗 (Ω/\square) に対応する。 L_1 は、シリサイド層 4 とシリサイド層 5 との間の距離（最近接距離）に対応する。 W_1 は、抵抗素子（多結晶シリコン膜 3）の幅（多結晶シリコン膜 3 の延在方向に垂直な方向の幅）に対応する。 R_{C0} は、抵抗素子（多結晶シリコン膜 3）と電極（配線）10 との接続抵抗に対応する。 R_{C0} は、抵抗素子の幅 W_1 に比例する値であり、シリサイド層 4、5 と多結晶シリコン膜 3 との接触抵抗が主要な要素となる。

【0093】

抵抗素子の抵抗値 R_0 は、シリサイド層 4, 5 間の距離 L_1 を変えることによって変更（調整）することができ、多結晶シリコン膜 3 の形状を変更する必要はない。すなわち、多結晶シリコン膜 3 の形状（例えば多結晶シリコン膜 3 の長さ L_0 ）と 2 つのシリサイド層 4, 5 の面積または形状（例えばシリサイド層 4, 5 の多結晶シリコン膜 3 の延在方向（長辺）に沿った方向の長さ L_3 ）とを一定としたままで、一方のシリサイド層 5 の多結晶シリコン膜 3 上での形成位置を変更することで（すなわちシリサイド層 5 の端部 5 b と多結晶シリコン膜 3 の端部 3 b との間の距離 L_5 を変更することで）、抵抗素子の抵抗値 R_0 を所望の値に調整することができる。すなわち、シリサイド層 5 の形成位置を多結晶シリコン膜 3 上のより端部 3 b 側にする（距離 L_5 を小さくする）ことにより、（距離 L_1 を大きくして）抵抗素子の抵抗値 R_0 を増大することができ、シリサイド層 5 の形成位置を多結晶シリコン膜 3 上のよりシリサイド層 4 側にする（距離 L_5 を大きくする）ことにより、（距離 L_1 を小さくして）抵抗素子の抵抗値 R_0 を減少させることができる。

【0094】

多結晶シリコン膜 3 上における一方のシリサイド層 5 の形成位置を変えてシリサイド層 4, 5 間の距離 L_1 を調節するので、多結晶シリコン膜 3 の形状（パターン形状）を変える必要はない。例えば多結晶シリコン膜 3 の延在方向の長さ（長辺方向の長さ） L_0 を変える必要はない。また、シリサイド層 5 の形成位置を変えるとシリサイド層 5 を電極（配線）10 に接続するためのコンタクトホール 8 やプラグ 9（コンタクト部）の位置を変える必要があるが、図 25 および図 26 に示されるようにシリサイド層 5 に接続する電極（配線）10 をコンタクトホール 8 の位置の変更が予想される範囲内を全て含むように比較的大きく形成しておけば、電極（配線）10 の形状（パターン形状）を変える必要はない。このため、抵抗素子の抵抗値 R_0 を調整するために必要なマスク（露光用マスク）変更枚数は、シリサイド層 4, 5 を形成するためのマスク（露光用マスク）とコンタクトホール 8 を形成するためのマスク（露光用マスク）のみである。本実施の形態では、抵抗素子の多結晶シリコン膜 3 の形状（パターン形状）を変えることな

く、シリサイド層 4, 5 の端部 (エッジ) 位置を変えることで、抵抗素子の抵抗値 R_0 を変える (調整する) ことができる。

【0095】

また、本実施の形態では、抵抗素子の抵抗値を変更する際にシリサイド層 4, 5 の面積 (形状) は変えないので (一定なので)、コンタクト抵抗 (シリサイド層 4, 5 と多結晶シリコン膜 3 間のコンタクト抵抗) が変わらない (一定である)。シリサイド層 4, 5 間の (多結晶シリコン膜 3 の) 距離 L_1 の調節だけで抵抗素子の抵抗値を調整できるので、抵抗素子の抵抗値の調整がより容易となり、抵抗素子の抵抗値を所望の抵抗値によりの確に変更することが可能となる。このため、抵抗素子の抵抗値変更や設計がより容易となる。また、所望の抵抗値を得るために要する時間や手間を低減できる。

【0096】

本実施の形態においては、抵抗素子の抵抗値を増大させるためには、多結晶シリコン膜 3 上におけるシリサイド層 5 の形成位置を多結晶シリコン膜 3 のより端部 3 b 側に変更し、抵抗素子の抵抗値を減少させるためには、多結晶シリコン膜 3 上におけるシリサイド層 5 の形成位置をよりシリサイド層 4 側 (多結晶シリコン膜 3 の逆の端部 3 a 側) に変更する。回路 (半導体装置) を試作し、特性を評価した後で、抵抗素子の抵抗値を調整することで、所望の特性や性能の半導体装置を製造することが可能となるが、試作の前の段階には抵抗素子の抵抗値を増大させるか減少させるか判断するのは容易ではない。このため、試作の段階では、一方のシリサイド層 5 の形成位置 (端部 5 b の位置) を多結晶シリコン膜 3 の端部 3 b から所定の距離だけ離れた位置 (中央部寄り) に形成しておき、特性評価後にシリサイド層 5 の形成位置を変更 (より端部 3 b 側またはより端部 3 a 側に変更) させて抵抗素子の抵抗値を減少または増大できるようにしておくことが好ましい。これより、抵抗素子の抵抗値の変更の自由度 (設計の自由度) が増大する。多結晶シリコン膜 3 上におけるシリサイド層 5 の形成位置を多結晶シリコン膜 3 の端部 3 b からどの程度離れた位置に形成しておくかは、抵抗素子の抵抗値の変更予想範囲 (ぶれ幅) により決めることができるが、例えば、抵抗素子を構成する多結晶シリコン膜 3 の端部 3 b とシリサイド層 5 のシリサイド層 4 に対向

する側の端部 5 a とは逆側の端部 5 b との間の距離（距離 L_5 に対応）と、抵抗素子を構成する多結晶シリコン膜 3 の他方の端部 3 a とシリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a とは逆側の端部 4 b との間の距離（図 25 および図 26 ではほぼゼロであるが、ゼロ以外の所定の値とすることもできる）との差（の絶対値）を、シリサイド層 4, 5 間の距離（最近接距離） L_1 の 5 % 以上とすれば好ましく、10 % 以上とすればより好ましい。これにより、抵抗素子の抵抗値を所望の値に的確に変更することができ、所望の特性を有する半導体装置の製造が可能となる。

【0097】

また、本実施の形態では、シリサイド層 4 とシリサイド 5 の面積（形状）は同じであるが、抵抗素子を構成する多結晶シリコン膜 3 上におけるシリサイド層 4, 5 の形成位置を、一方のシリサイド層 5 を他方のシリサイド層 4 よりも中央部側としている。従って、抵抗素子を構成する多結晶シリコン膜 3 の端部（多結晶シリコン膜 3 のシリサイド層 4 形成側の短辺）3 a とシリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a との間の距離よりも、抵抗素子を構成するための多結晶シリコン膜 3 の他方の端部（多結晶シリコン膜 3 のシリサイド層 5 形成側の短辺）3 b とシリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a との間の距離を大きくしている。そして、シリサイド層 4 に対向するシリサイド層 5 の端部 5 a の位置を変更することで、シリサイド層 4, 5 間の距離（最近接距離） L_1 を調節し、抵抗素子の抵抗値を所望の値に調整することができる。上記のように、抵抗素子を構成するための多結晶シリコン膜 3 の端部 3 b とシリサイド層 5 のシリサイド層 4 に対向する側の端部 5 a との間の距離と、抵抗素子を構成する多結晶シリコン膜 3 の端部 3 a とシリサイド層 4 のシリサイド層 5 に対向する側の端部 4 a との間の距離との差（の絶対値）を、シリサイド層 4, 5 間の距離（最近接距離） L_1 の 5 % 以上とすれば好ましく、10 % 以上とすればより好ましい。これにより、抵抗素子の抵抗値を所望の値に的確に変更することができ、所望の特性を有する半導体装置の製造が可能となる。

【0098】

（実施の形態 3）

半導体装置内には、複数の抵抗素子が形成され、その抵抗値をそれぞれ独立に調整することで、所望の回路特性を得ることができる。この場合、試作段階では同じ形状の抵抗素子を複数形成しておき、試作後の特性評価後に、各抵抗素子の抵抗値を、それぞれ最適な値に調整する。このため、最終的には、抵抗素子を構成する多結晶シリコン膜（または不純物拡散層）の形状が同じでありながら、その上面に形成されるシリサイド層の面積や位置を変えることによって抵抗値が異なるものとなった抵抗素子が混在することになる。

【0099】

図27は、複数の抵抗素子、例えば2つの抵抗素子が形成された半導体装置を示す平面図（平面レイアウト図）である。図28は、複数の抵抗素子、例えば2つの抵抗素子が形成された他の形態の半導体装置を示す平面図（平面レイアウト図）である。図27および図28ではそれぞれ2つの抵抗素子を形成しているが、形成する抵抗素子の数は2つに限定されるものではなく、2つ以上の任意の数の抵抗素子を形成することができる。

【0100】

図27に示される抵抗素子101、102は、いずれも図1および図2に示される実施の形態1の抵抗素子に対応する。抵抗素子101を構成する多結晶シリコン膜3と抵抗素子102を構成する多結晶シリコン膜3の形状（パターン形状）はほぼ同じである。例えば抵抗素子101における多結晶シリコン膜3の延在方向（長辺方向）の長さ L_{10} と抵抗素子102における多結晶シリコン膜3の延在方向（長辺方向）の長さ L_{20} とはほぼ等しい。しかしながら、抵抗素子101、102はその抵抗値を独立に調整したために、シリサイド層5の面積（形状）が異なるものとなっている。すなわち、抵抗素子101は、同じ半導体装置内にある抵抗素子102と比較して、シリサイド層5の面積がより大きくなっている。これにより、抵抗素子101のシリサイド層4、5間の距離（最近接距離） L_{11} が抵抗素子102のシリサイド層4、5間の距離（最近接距離） L_{21} よりも小さくなり、抵抗素子101の抵抗値が抵抗素子102の抵抗値よりも小さくなる。

【0101】

また、図 28 に示される抵抗素子 111, 112 はいずれも図 25 および図 26 に示される上記実施の形態 2 の抵抗素子に対応する。抵抗素子 111 を構成する多結晶シリコン膜 3 と抵抗素子 112 を構成する多結晶シリコン膜 3 の形状（パターン形状）はほぼ同じである。例えば抵抗素子 111 における多結晶シリコン膜 3 の延在方向（長辺方向）の長さ L_{30} と抵抗素子 112 における多結晶シリコン膜 3 の延在方向（長辺方向）の長さ L_{40} とはほぼ等しい。しかしながら、抵抗素子 111, 112 はその抵抗値を独立に調整したために、シリサイド層 5 の形成位置が異なるものとなっている。すなわち、抵抗素子 111 は、同じ半導体装置内にある抵抗素子 112 と比較して、シリサイド層 5 の形成位置をよりシリサイド層 4 側にしている。これにより、抵抗素子 111 のシリサイド層 4, 5 間の距離（最近接距離） L_{31} が抵抗素子 112 のシリサイド層 4, 5 間の距離（最近接距離） L_{41} よりも小さくなり、抵抗素子 111 の抵抗値が抵抗素子 112 の抵抗値よりも小さくなる。

【0102】

このため、抵抗素子 101 における多結晶シリコン膜 3 の端部 3b とシリサイド層 5 の端部（シリサイド層 4 に対向する側の端部）5a との間の距離 L_{12} と多結晶シリコン膜の端部 3a とシリサイド層 4 の端部（シリサイド層 5 に対向する側の端部）4a との間の距離 L_{13} との差（ $L_{12} - L_{13}$ ）（の絶対値）が、抵抗素子 102 における多結晶シリコン膜 3 の端部 3b とシリサイド層 5 の端部（シリサイド層 4 に対向する側の端部）5a との間の距離 L_{22} と多結晶シリコン膜 3 の端部 3a とシリサイド層 4 の端部（シリサイド層 5 に対向する側の端部）4a との間の距離 L_{23} との差（ $L_{22} - L_{23}$ ）（の絶対値）よりも大きくなっている（ $L_{12} - L_{13} > L_{22} - L_{23}$ または $|L_{12} - L_{13}| > |L_{22} - L_{23}|$ ）。また、抵抗素子 111 における多結晶シリコン膜 3 の端部 3b とシリサイド層 5 の端部（シリサイド層 4 に対向する側の端部）5a との間の距離 L_{32} と多結晶シリコン膜 3 の端部 3a とシリサイド層 4 の端部（シリサイド層 5 に対向する側の端部）4a との間の距離 L_{33} との差（ $L_{32} - L_{33}$ ）（の絶対値）が、抵抗素子 111 における多結晶シリコン膜 3 の端部 3b とシリサイド層 5 の端部（シリサイド層 4 に対向する側の端部）5a との間の距離 L_{42} と多結晶シリコン膜 3 の端部 3a とシリサ

イド層 4 の端部（シリサイド層 5 に対向する側の端部）4 a との間の距離 L_{43} との差 ($L_{42} - L_{43}$)（の絶対値）よりも大きくなっている ($L_{32} - L_{33} > L_{42} - L_{43}$ または $|L_{32} - L_{33}| > |L_{42} - L_{43}|$)。

【0103】

このようにして、同じ形状（パターン）の多結晶シリコン膜 3 などから形成した複数の抵抗素子（図 27 の場合は抵抗素子 101, 102、図 28 の場合は抵抗素子 111, 112）の抵抗値を、特性評価結果に応じて多結晶シリコン膜 3 の形状を変えることなく所望の値に独立に調整でき、所望の特性の半導体装置を容易に実現することが可能となる。

【0104】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0105】

前記実施の形態では、抵抗素子、バイポーラトランジスタおよび MISFET を有する半導体装置について説明したが、本発明は、これに限定されるものではなく、抵抗素子を有する種々の半導体装置に適用することができる。

【0106】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0107】

シリコンからなる抵抗素子上に第 1 シリサイド領域と第 2 シリサイド領域とを形成し、抵抗素子の端部と第 1 シリサイド領域の第 2 シリサイド領域に対向する側の端部との間の距離を、抵抗素子の他方の端部と第 2 シリサイド領域の第 1 シリサイド領域に対向する側の端部との間の距離よりも大きくすることにより、寸法を変更することなく抵抗素子の抵抗値を所望の値に調整することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体装置における抵抗素子の構造を示す要部断面図である。

【図 2】

図 1 の抵抗素子の平面図である。

【図 3】

本発明の一実施の形態である抵抗素子の製造工程中の要部断面図である。

【図 4】

図 3 に続く抵抗素子の製造工程中における要部断面図である。

【図 5】

図 4 に続く抵抗素子の製造工程中における要部断面図である。

【図 6】

図 5 に続く抵抗素子の製造工程中における要部断面図である。

【図 7】

図 6 に続く抵抗素子の製造工程中における要部断面図である。

【図 8】

図 7 に続く抵抗素子の製造工程中における要部断面図である。

【図 9】

図 8 に続く抵抗素子の製造工程中における要部断面図である。

【図 10】

図 9 に続く抵抗素子の製造工程中における要部断面図である。

【図 11】

半導体基板内に不純物を導入して形成した不純物拡散層により形成した抵抗素子を示す断面図である。

【図 12】

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図 13】

図 12 に続く半導体装置の製造工程中における要部断面図である。

【図 14】

図 13 に続く半導体装置の製造工程中における要部断面図である。

【図 15】

図 14 に続く半導体装置の製造工程中における要部断面図である。

【図 16】

図 15 に続く半導体装置の製造工程中における要部断面図である。

【図 17】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 18】

図 17 に続く半導体装置の製造工程中における要部断面図である。

【図 19】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 20】

図 19 に続く半導体装置の製造工程中における要部断面図である。

【図 21】

本発明の一実施の形態である抵抗素子を用いた回路図である。

【図 22】

本発明の一実施の形態である抵抗素子を用いた回路図である。

【図 23】

本発明の一実施の形態である抵抗素子を用いた回路図である。

【図 24】

本発明の一実施の形態である抵抗素子を用いた回路図である。

【図 25】

本発明の他の実施の形態である半導体装置における抵抗素子の構造を示す要部断面図である。

【図 26】

図 25 の抵抗素子の平面図である。

【図 27】

複数の抵抗素子が形成された半導体装置を示す平面図である。

【図 28】

複数の抵抗素子が形成された半導体装置を示す平面図である。

【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 多結晶シリコン膜
 - 3 a 端部
 - 3 b 端部
- 4 シリサイド層
 - 4 a 端部
 - 4 b 端部
- 5 シリサイド層
 - 5 a 端部
 - 5 b 端部
- 6 絶縁膜
- 7 絶縁膜
- 8 コンタクトホール
- 9 プラグ
- 10 電極
 - 10 a チタン膜
 - 10 b 窒化チタン膜
 - 10 c アルミニウム膜
 - 10 d チタン膜
 - 10 e 窒化チタン膜
- 12 金属膜
- 21 素子分離領域
- 22 n型ウエル
- 23 p型半導体領域
- 24 シリサイド層
 - 24 a 端部
- 25 シリサイド層

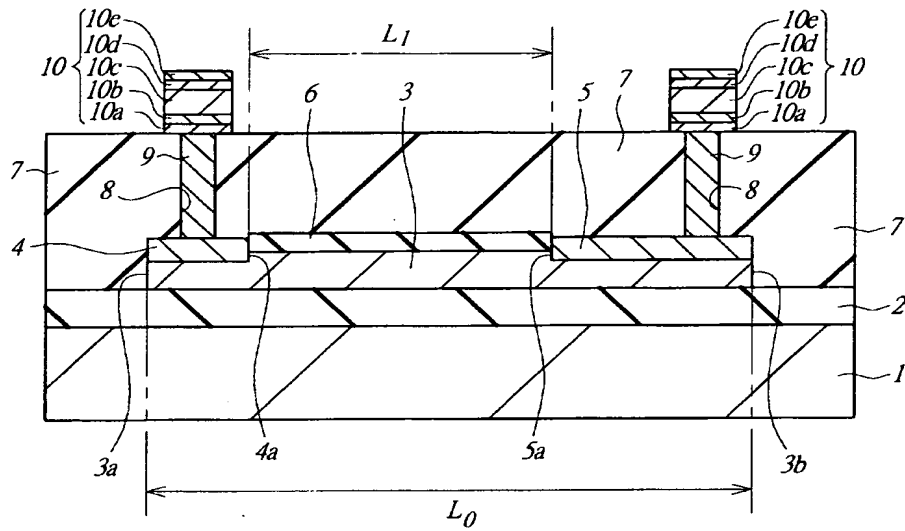
- 25a 端部
- 26 絶縁膜
- 31 素子分離領域
- 32 p型ウエル
- 33 n型ウエル
- 34 n型ウエル
- 35 ゲート絶縁膜
- 36 ゲート電極
- 36a 多結晶シリコン膜
- 37 n-型半導体領域
- 38 p-型半導体領域
- 39 サイドウォール
- 40 n+型半導体領域
- 41 p+型半導体領域
- 42 nチャネル型MISFET
- 43 pチャネル型MISFET
- 51 絶縁膜
- 52 絶縁膜
- 53 多結晶シリコン膜
- 53a ベース電極
- 53b 多結晶シリコン膜
- 54 絶縁膜
- 60 開口部
- 61 サイドウォール
- 62 ベース領域
- 63 n型半導体領域
- 64 エミッタ電極
- 65 エミッタ領域
- 70 シリサイド層

- 7 1 絶縁膜
- 7 2 コンタクトホール
- 7 3 プラグ
- 7 4 電極
- 8 1 多結晶シリコン膜
- 8 2 絶縁膜
- 9 1 n 型ウエル
- 9 2 不純物拡散層
- 9 3 絶縁膜
- 1 0 1 抵抗素子
- 1 0 2 抵抗素子
- 1 1 1 抵抗素子
- 1 1 2 抵抗素子

【書類名】 図面

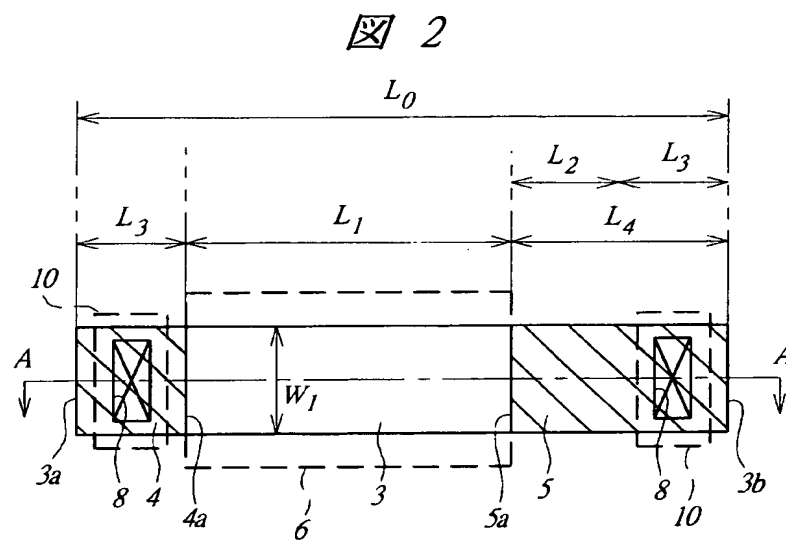
【図 1】

図 1

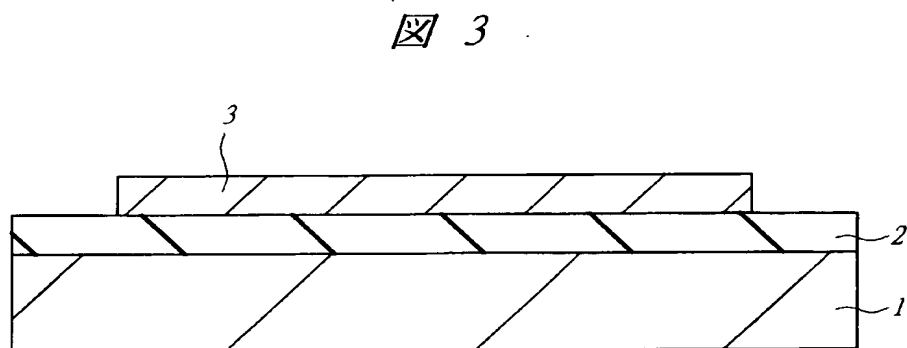


1: 半導体基板 3: 多結晶シリコン膜
2: 絶縁膜 4,5: シリサイド層

【図 2】

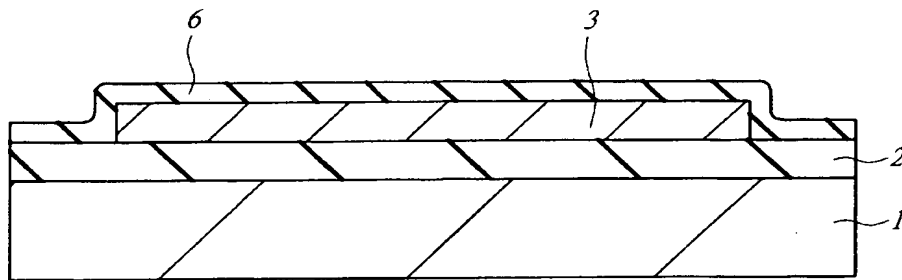


【図 3】



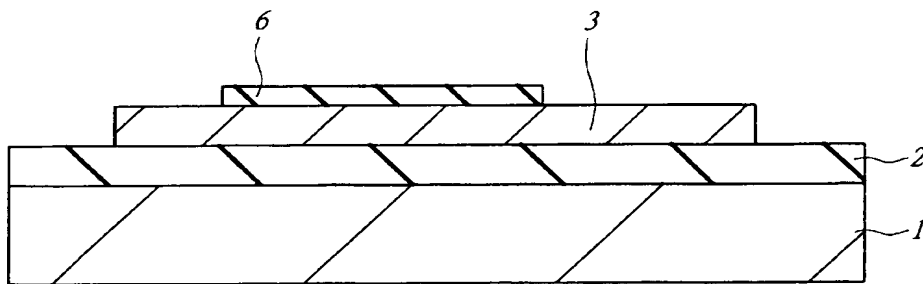
【図 4】

図 4



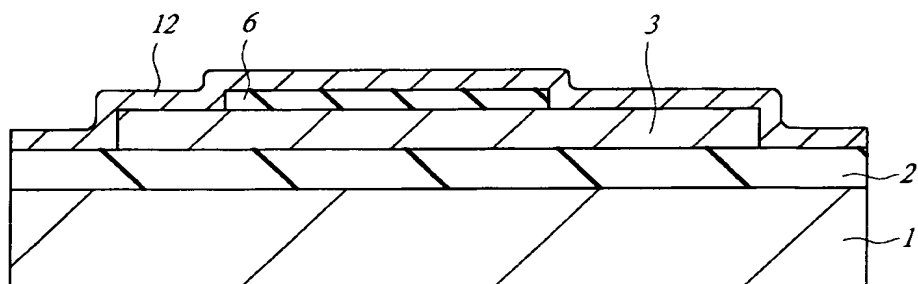
【図 5】

図 5



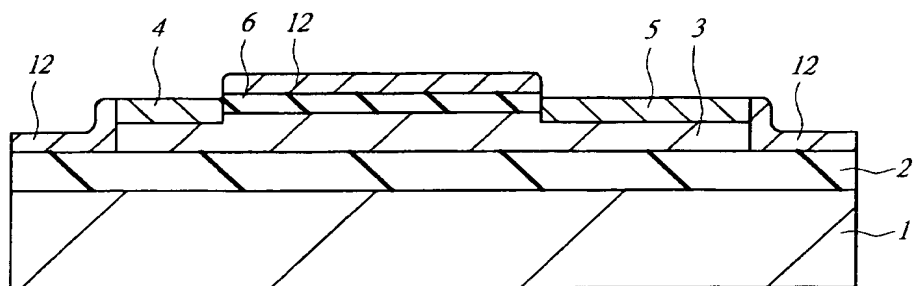
【図 6】

図 6



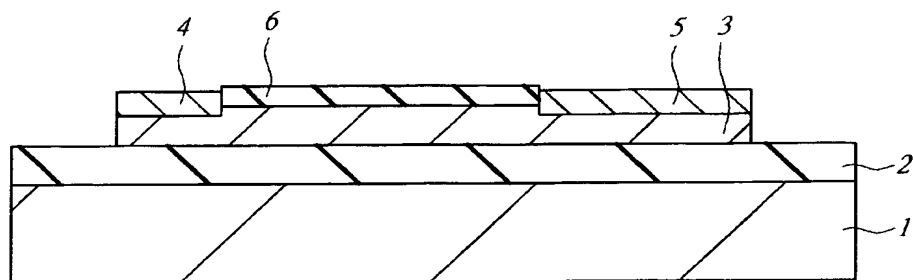
【図 7】

図 7



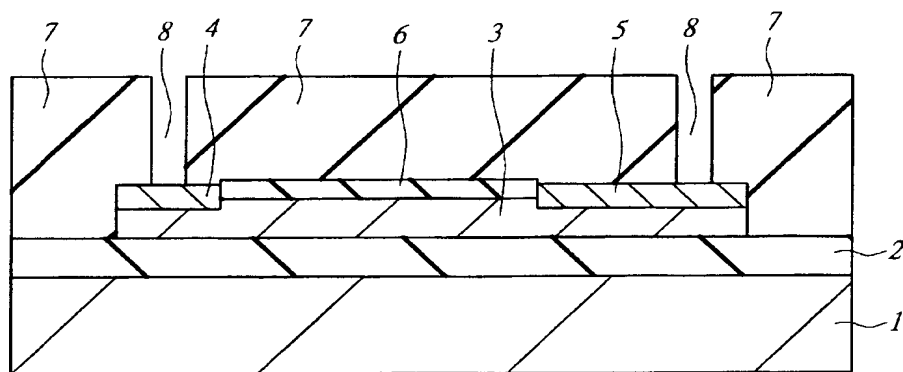
【図 8】

図 8



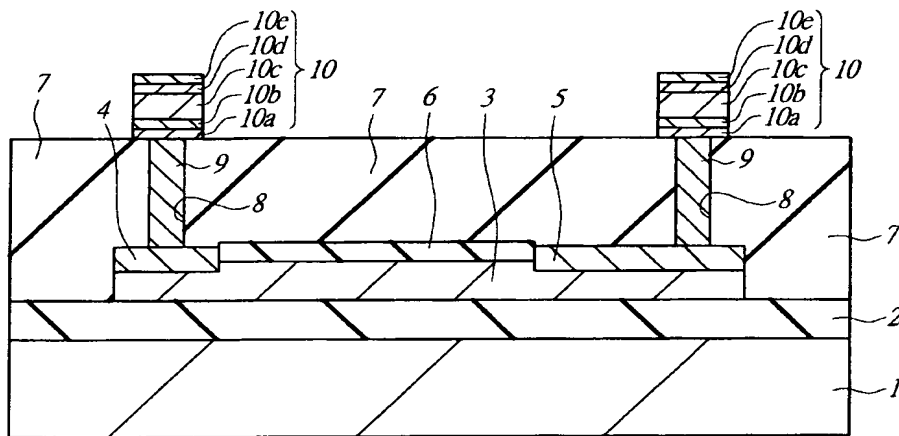
【図 9】

図 9



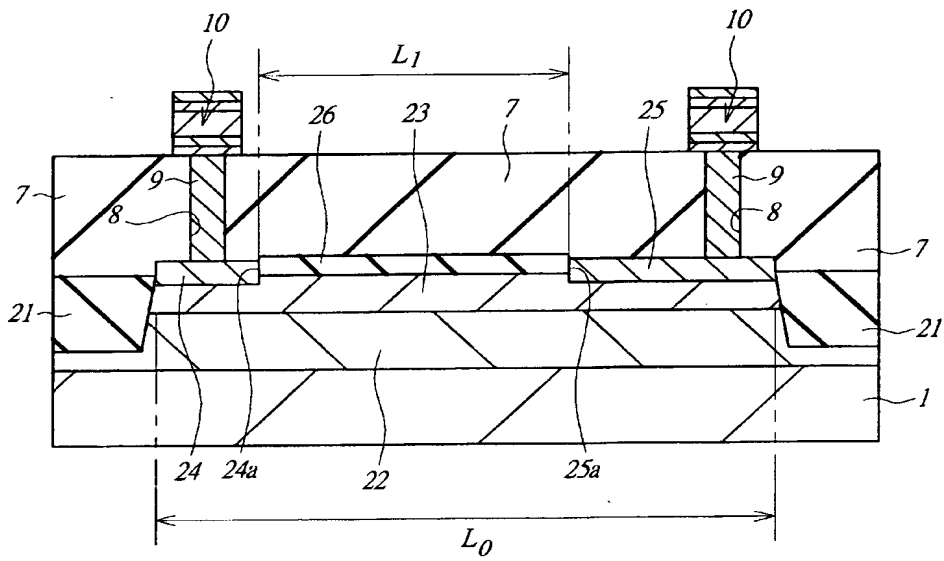
【図 10】

図 10



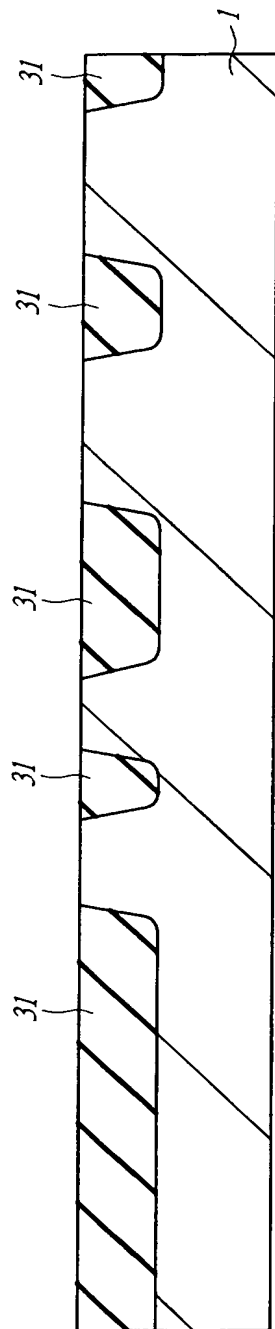
【図 11】

図 11



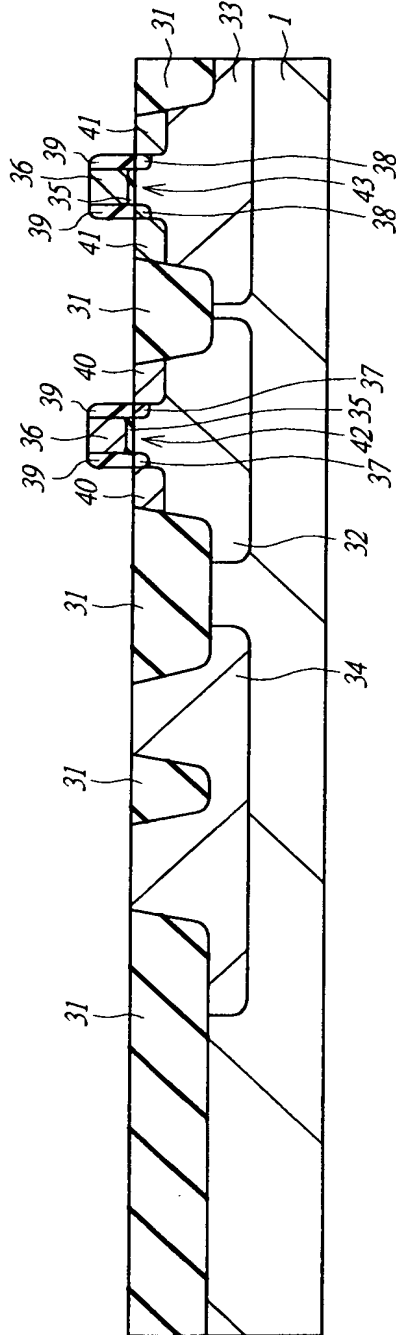
【図 12】

図 12



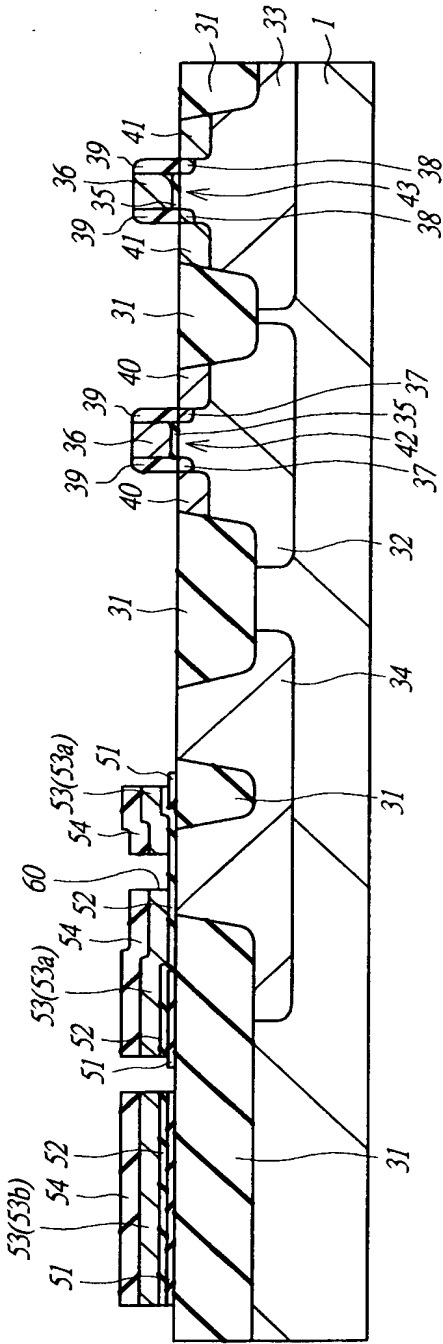
【図 13】

図 13



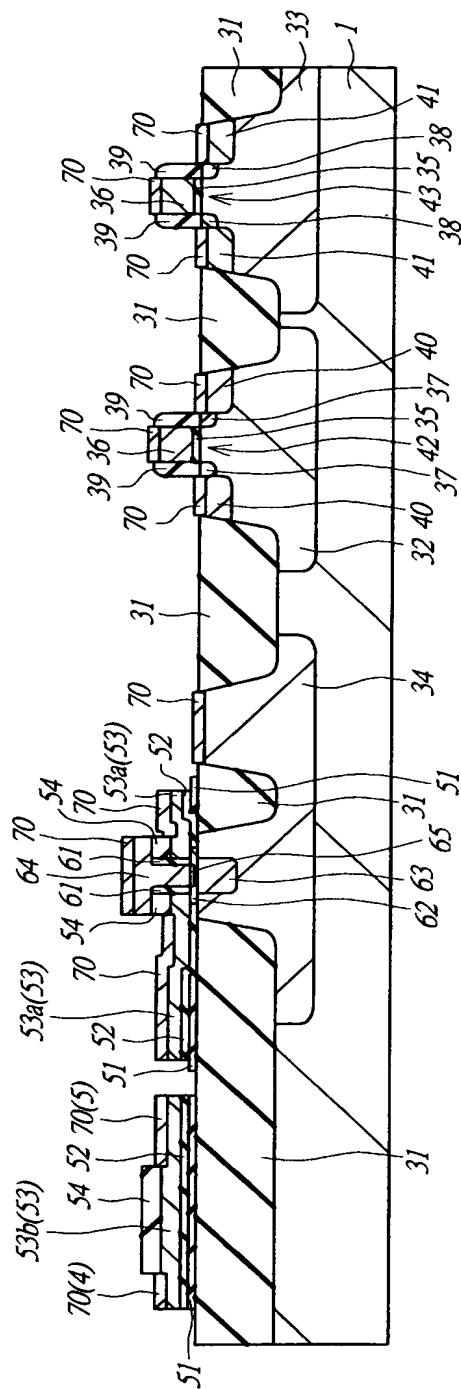
【図 14】

図 14



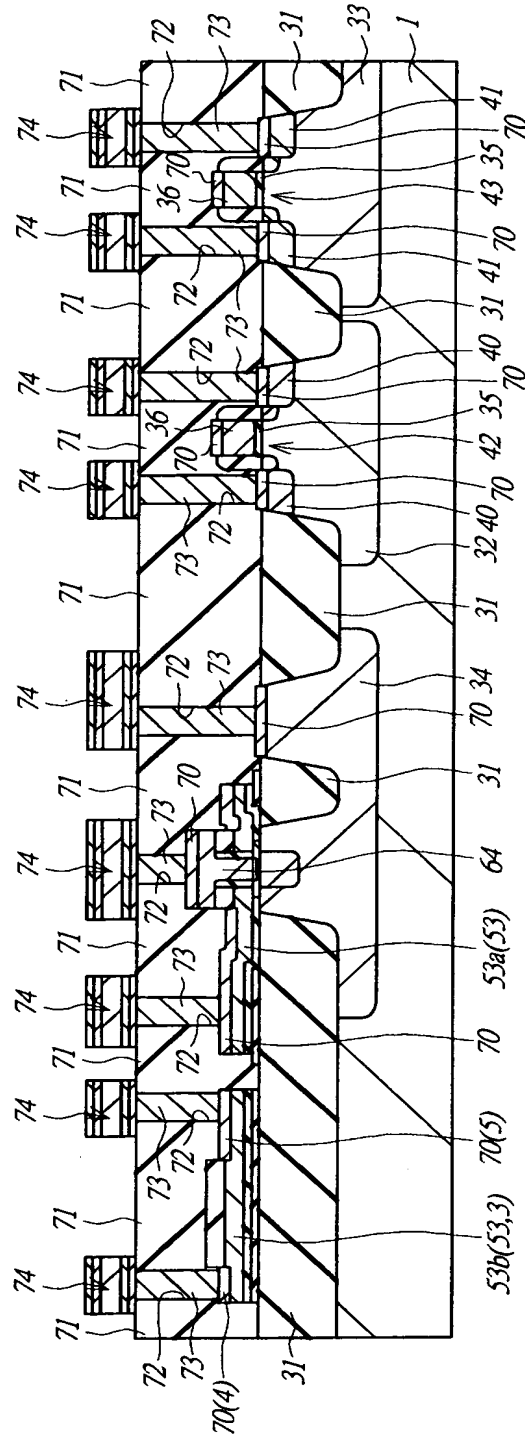
【図 15】

図 15



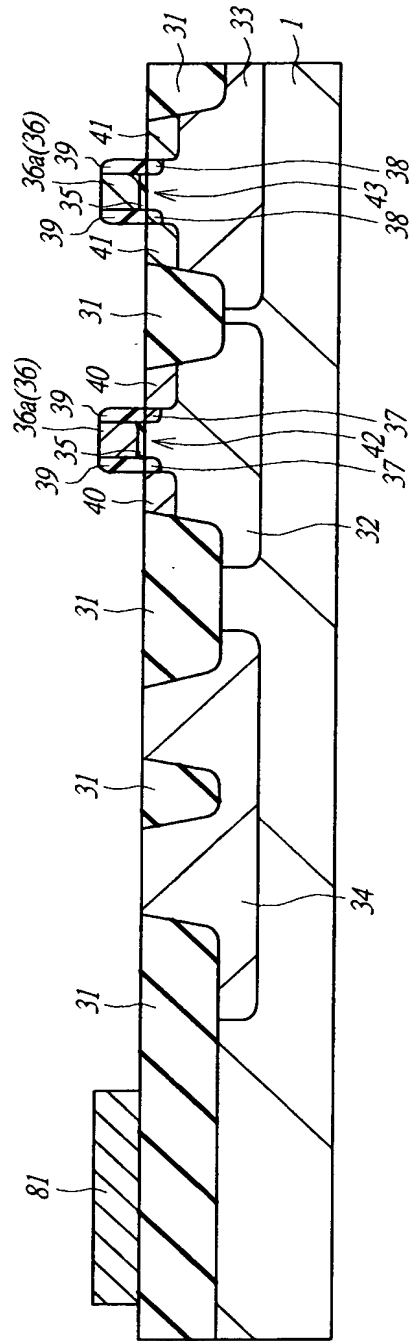
【図 16】

図 16



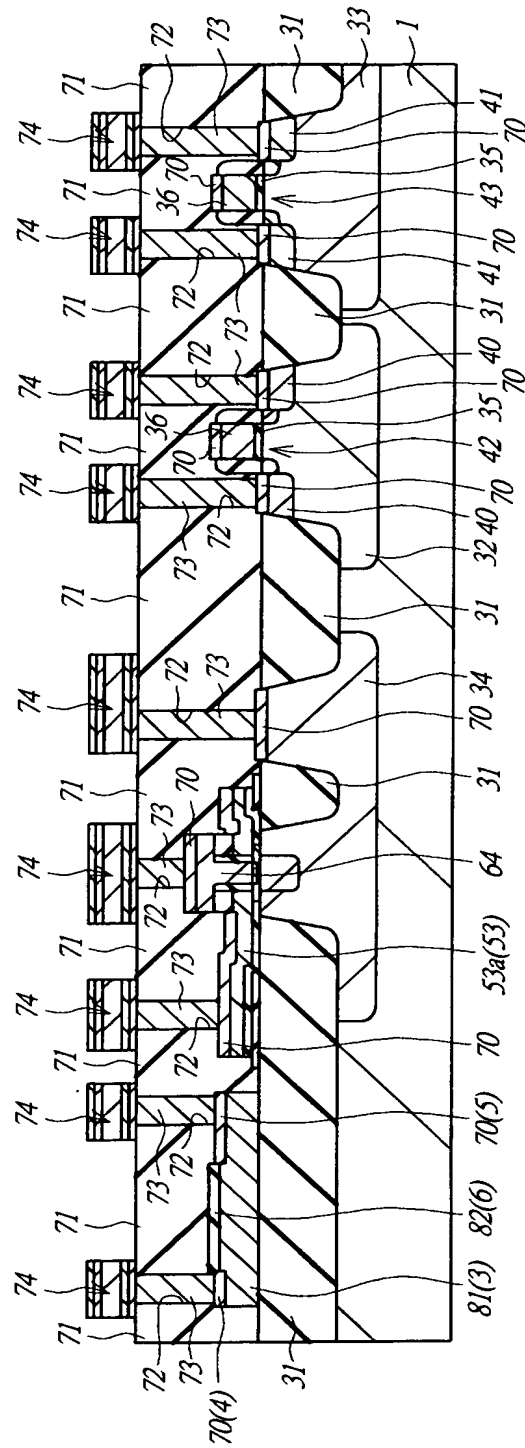
【図 17】

図 17

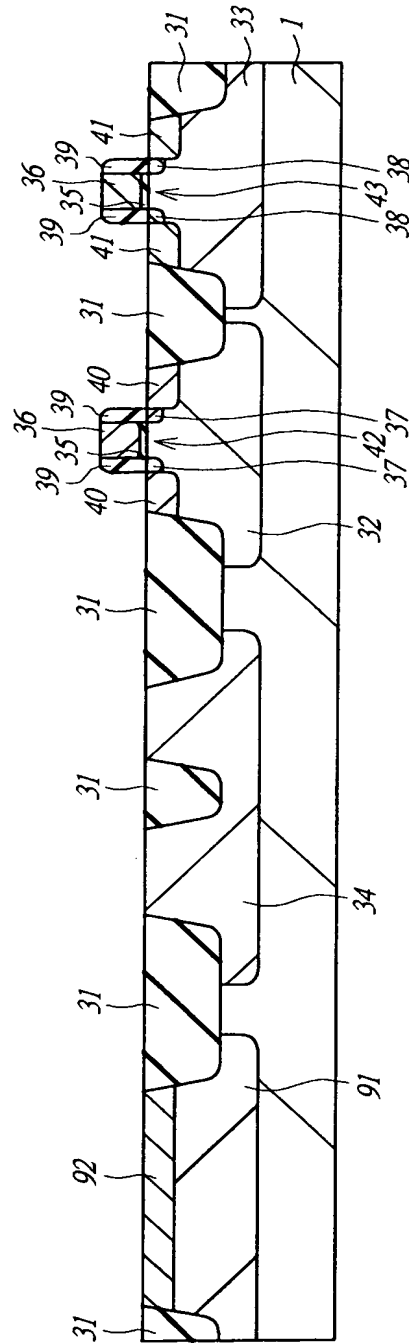
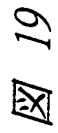


【図 18】

図 18

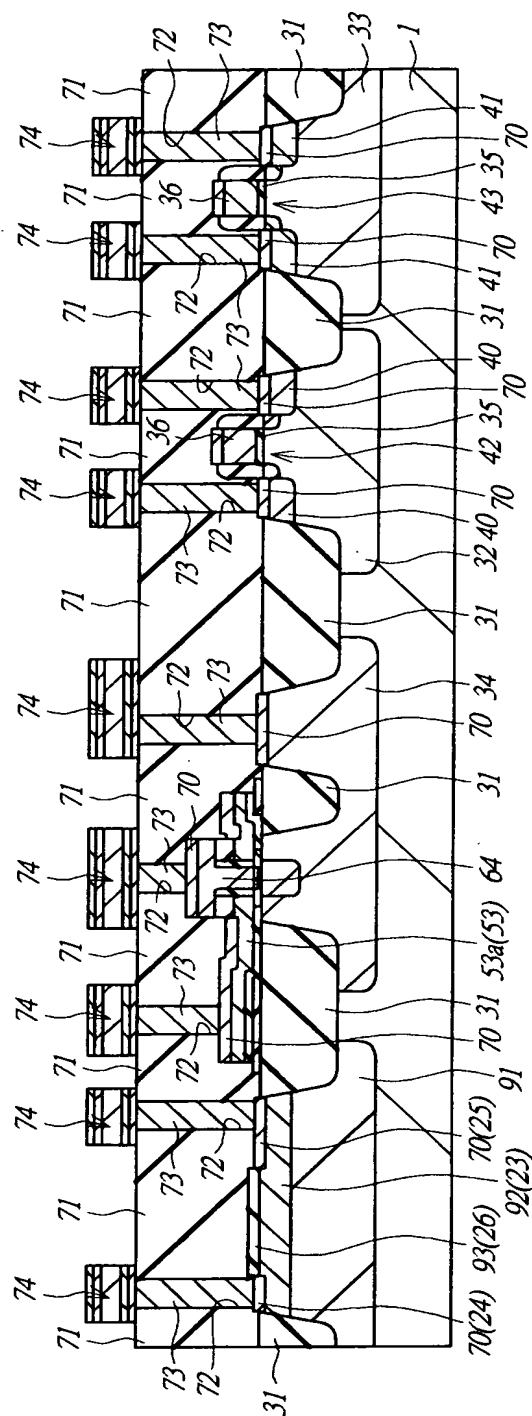


【図 19】



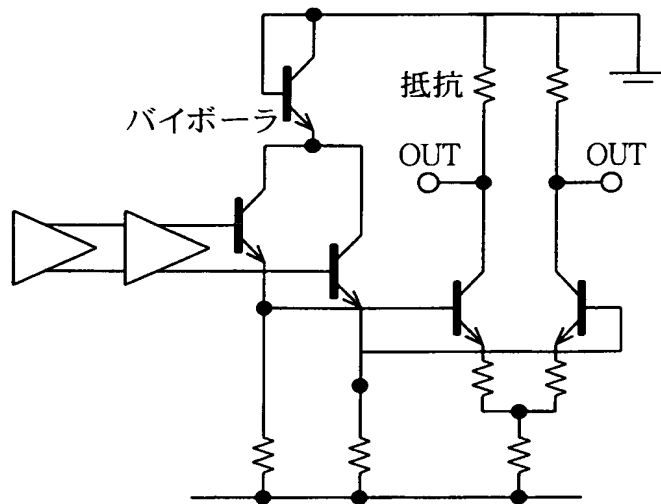
【図 20】

図 20



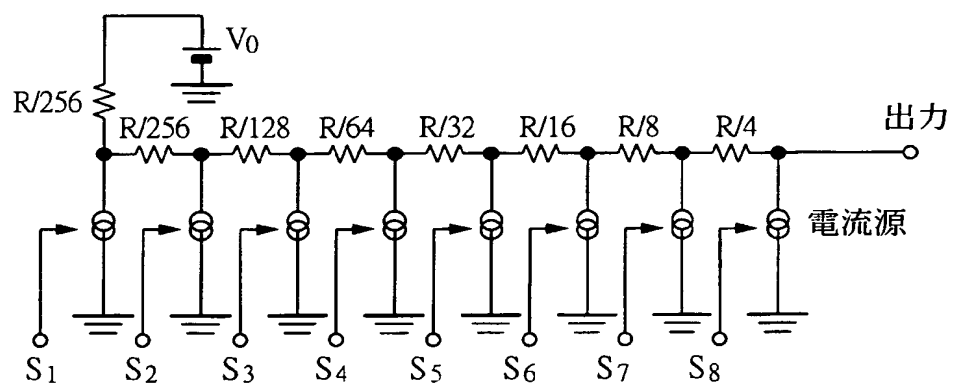
【図 21】

図 21



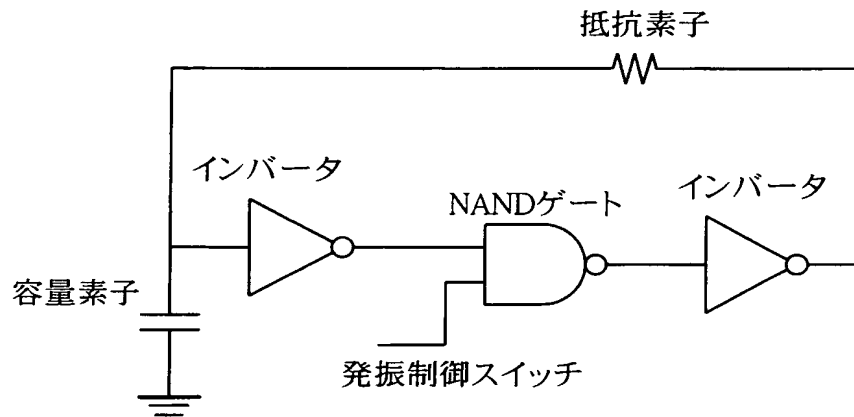
【図 22】

図 22



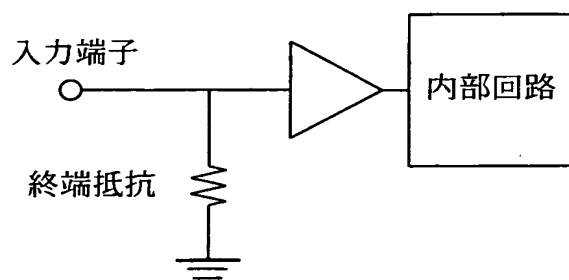
【図 23】

図 23



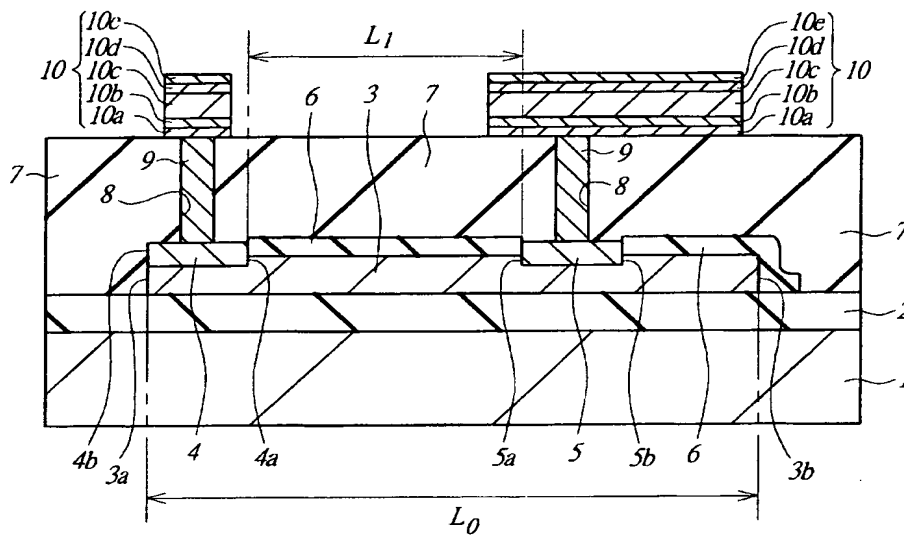
【図 24】

図 24



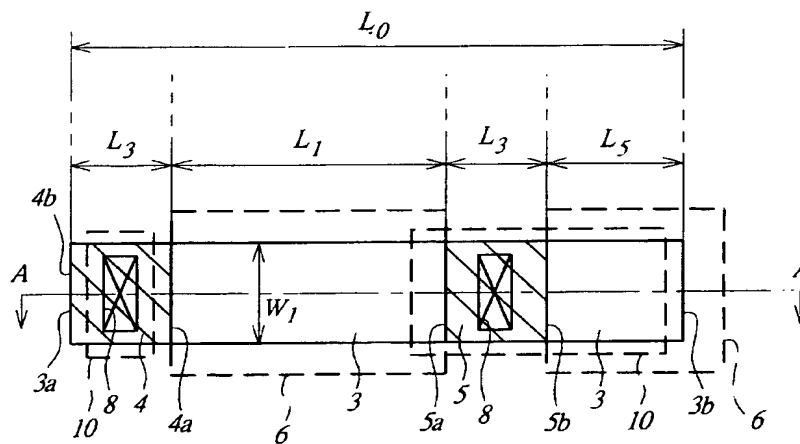
【図 25】

図 25



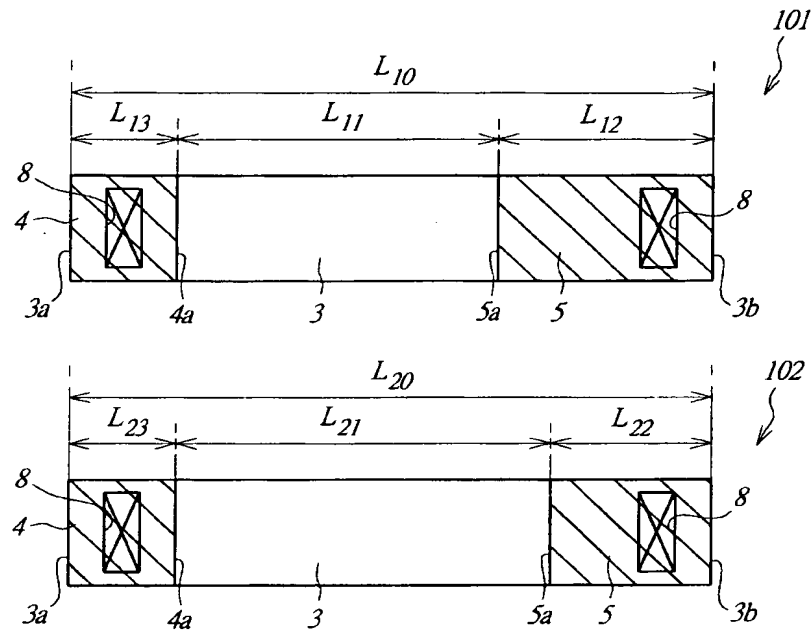
【図 26】

図 26

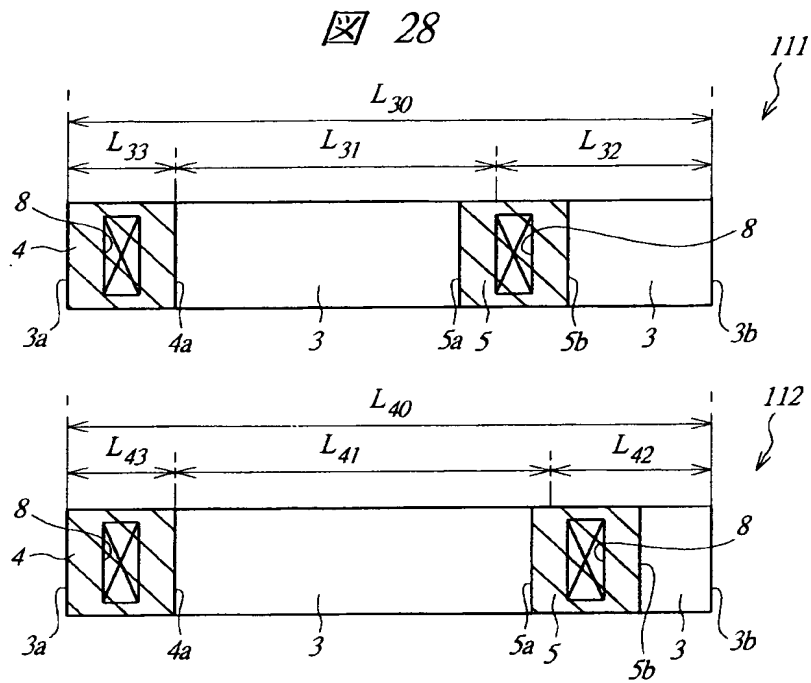


【図 27】

図 27



【図 28】



【書類名】 要約書

【要約】

【課題】 寸法を変更することなく抵抗値を所望の値に調整できる抵抗素子を有する半導体装置を提供する。

【解決手段】 半導体基板 1 上の絶縁膜 2 上に形成された多結晶シリコン膜 3 により抵抗素子が形成される。多結晶シリコン膜 3 には、イオン注入などにより不純物が導入されている。抵抗素子を形成する多結晶シリコン膜 3 の両端部近傍においては、多結晶シリコン膜 3 の上面に、コバルトシリサイドなどからなるシリサイド層 4 およびシリサイド層 5 が形成されている。一方のシリサイド層 5 の面積は他方のシリサイド層 4 の面積に比べて大きい。シリサイド層 5 の面積を調節することで、多結晶シリコン膜 3 の形状を変えることなく、シリサイド層 4 とシリサイド層 5 との間の距離を調節し、抵抗素子の抵抗値を調整することができる。

【選択図】 図 1

特願 2 0 0 3 - 0 1 9 7 9 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 1 9 7 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 6 8 1 番地

氏 名

日立デバイスエンジニアリング株式会社